

From the INTERNATIONAL BUREAU

PCT

## NOTIFICATION OF ELECTION

(PCT Rule 61.2)

To:

Commissioner  
US Department of Commerce  
United States Patent and Trademark  
Office, PCT  
2011 South Clark Place Room  
CP2/5C24  
Arlington, VA 22202  
ETATS-UNIS D'AMERIQUE  
in its capacity as elected Office

Date of mailing (day/month/year)

30 October 2000 (30.10.00)

International application No.

PCT/JP00/01543

Applicant's or agent's file reference

P21794-PO

International filing date (day/month/year)

14 March 2000 (14.03.00)

Priority date (day/month/year)

15 March 1999 (15.03.99)

Applicant

FURUTANI, Senichi

1. The designated Office is hereby notified of its election made:



in the demand filed with the International Preliminary Examining Authority on:

29 August 2000 (29.08.00)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was



was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer

R. Forax

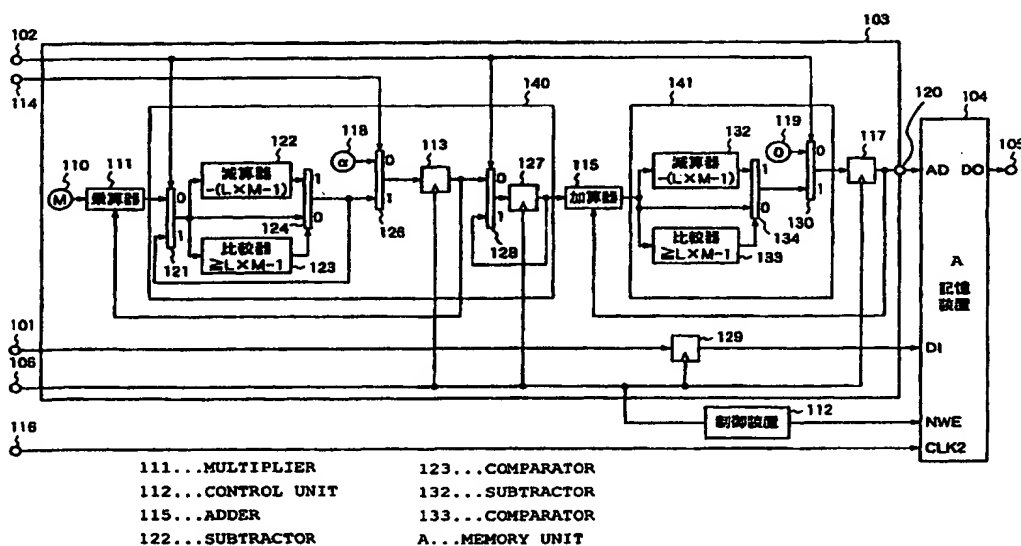
Telephone No.: (41-22) 338.83.38



<p>(51) 国際特許分類 H03M 13/27</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/55975</p> <p>(43) 国際公開日 2000年9月21日(21.09.00)</p>
<p>(21) 国際出願番号 PCT/JP00/01543</p> <p>(22) 国際出願日 2000年3月14日(14.03.00)</p> <p>(30) 優先権データ 特願平11/68407 1999年3月15日(15.03.99) JP</p>	<p>(81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>	
<p>(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP] 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP)</p> <p>(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 古谷専一(FURUTANI, Senichi)[JP/JP] 〒574-0015 大阪府大東市野崎2-9-27 Osaka, (JP)</p> <p>(74) 代理人 弁理士 早瀬憲一(HAYASE, Kenichi) 〒564-0053 大阪府吹田市江の木町17番1号 江坂全日空ビル8階 早瀬特許事務所 Osaka, (JP)</p>		

(54) Title: **BLOCK INTERLEAVE DEVICE, BLOCK DEINTERLEAVE DEVICE, BLOCK INTERLEAVE METHOD, AND BLOCK DEINTERLEAVE METHOD**

(54) 発明の名称 **ブロックインタリーブ装置、ブロックデインタリーブ装置、ブロックインタリーブ方法、およびブロックデインタリーブ方法**



(57) Abstract

A block interleave device, a block deinterleave device, a block interleave method and a block deinterleave method, in which block interleave and block deinterleave are affected on a surface of a memory unit having a block of memory locations, wherein in order to reduce circuit area and power consumption, a comparative reference value for a comparator (123) in an address producer (103) for producing addresses for a memory unit (104) is set at a minimum value larger than  $L \times M - 1$ , which appears in the output from a multiplier (111), thereby reducing the size of the comparator.

1 ブロックの記憶領域を持つ記憶装置 1 面でブロックインタリーブ、ブロックデインタリーブを行うブロックインタリーブ装置、ブロックデインタリーブ装置、ブロックインタリーブ方法およびブロックデインタリーブ方法において、より回路面積の削減および低消費電力化を実現するために、記憶装置 104 のアドレスを生成するアドレス生成装置 103 内の比較器 123 の比較基準値を、乗算器 111 の出力に現れる、 $L \times M - 1$  よりも大きい最小の値にすることにより、比較器の規模を縮小するように、構成した。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサオ	ML	マリ	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	MN	モンゴル	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MR	モーリタニア	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MW	マラウイ	UG	ウガンダ
CH	スイス	IE	アイルランド	MX	メキシコ	US	米国
CI	コートジボアール	IL	イスラエル	MZ	モザンビーク	UZ	ウズベキスタン
CM	カメルーン	IN	インド	NE	ニジェール	VN	ヴェトナム
CN	中国	IS	アイスランド	NL	オランダ	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NO	ノールウェー	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NZ	ニュージーランド	ZW	ジンバブエ
CY	キプロス	KE	ケニア	PL	ポーランド		
CZ	チェコ	KG	キルギスタン	PT	ポルトガル		
		KP	北朝鮮				

## 明 細 書

ブロックインタリーブ装置、ブロックデインタリーブ装置、ブロックインタリーブ方法、およびブロックデインタリーブ方法

5

## 技術分野

この発明は、衛星放送・地上波放送・ケーブル放送などのデジタル伝送及びハードディスクなどの記憶装置の読み出し・書き込みにおいて必要とされるブロックインタリーブ装置、ブロックデインタリーブ装置、ブロックインタリーブ方法、およびブロックデインタリーブ方法に関するものである。

10

## 背景技術

ブロックインタリーブはバースト誤りに対する対策として有効なものである。

これを、衛星放送を例にとって説明すると、地上の放送局からの電波は衛星に送出され、衛星で中継されて、家庭に設けた衛星放送受信機によって受信される。

15

ここで、放送局から衛星を介して家庭に向けて送信された電波は、伝送経路中で雷や雨等があると妨害を受け、その妨害を受けている間中、データに誤りが生じてしまう。これがバースト誤りと言われるものである。

デジタル伝送では予めエラー訂正用の情報が本来のデータに付加されているので、各セグメントにおいて一定範囲内のビットの誤りであればこれを訂正することが可能であるが、バースト誤りのような連続した誤りはこれを訂正することができない。

20

そこで、予め伝送すべきデータを時間的に分散させておくことにより（その手法がブロックインタリーブである）、伝送の過程でバースト誤りが生じたとしても、受信側で予め分散されていたデータの時間的位置を復元する際に（その手法がブロックデインタリーブである）、バースト誤りが分散され、個々のデータブロックでは誤りをエラー訂正可能な範囲のビット数に収まるようにすることができる。

25

このようなブロックインタリーブやブロックデインタリーブを行おうとすれ



ば、本来1ブロック(LXMデータ)の記憶領域を持つ記憶装置2面を用いてこれらの記憶装置に書き込みと読み出しを交互に繰り返す処理が必要になるが、ブロックインタリーブやブロックデインタリーブを小回路規模かつ低消費電力で実現できるものの1つとして、従来、例えば特表平8-511393号公報に示されたものがあつた。

第13図はこの従来のブロックインタリーブの動作を模式的に示すものであり、ここでは、説明の簡単化のために、4行5列のデータに対し、ブロックインタリーブを行う場合を例にとつて説明する。

この方式は、ブロックインタリーブ装置の記憶装置のアドレスが第13(a)図のように割り当てられているとすると、まず、アドレスの増加分REGを1とし、  
10  $0 \rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow 19$ の順で、すなわちそのアドレスが1ずつ増加する順に従つてデータを書き込んでゆく。次に、第13(b)図に示されているように、アドレスが5ずつ増加する順に従つてデータを読み出す。即ち、REGに5を乗じ、第13(a)図におけるアドレス0を初期値として、1入力データ毎に5増加する  
15 アドレスを順次生成するが、その際、アドレスが19( $=4 \times 5 - 1$ )を越えるところの19による剰余をアドレスとして使用する。そして、この生成規則に従つて生成したアドレスに従い、まず、第13(a)図において既に書き込まれているデータを、第13(b)図においてこの生成したアドレスの順に読み出し、その読み出しが終了した後に、第13(b)図において読み出しを行ったのと同じ順で同  
20 じアドレスに対しデータの書き込みを行なう。

次に、第13(c)図に示されているように、このREGに対し5を乗じるが、その値25が19を越えるところの19による剰余をREGの値として使用する。

そして、第13(a)図に示されているアドレスの配置を基準とし、そのアドレス0を初期値として、第13(c)図において1入力データ毎に6( $=25 - 19$ )  
25 増加するアドレスを順次生成し、アドレスが19( $=4 \times 5 - 1$ )を越えると、この19による剰余をアドレスとして使用することにより読み出しを行い、第13(c)図においてその読み出しが終了した後に、読み出しを行ったのと同じ順で同じアドレスに対しデータの書き込みを行なう。

以下、同様の処理を繰り返すことにより、順次異なるアドレスの順で読み出し

を行い、読み出しを行ったのと同じ順で同じアドレスに対し書き込みを行ってゆけば、この例では第13(j)図の時点において、第13(a)図と同様のアドレスの順に戻る。

このような手順を繰り返すことにより、第14図に示すように、1ブロック(L  
5 ×M データ)の記憶領域を持つRAM202を用いてブロックインタリーブを行うことが可能である。これはRAM制御装置200による書き込み読み出し制御、およびアドレス生成装置201により生成するアドレスを上述のように工夫することにより実現しているものである。

この従来例のブロックインタリーブ装置におけるアドレス生成規則は以下の  
10 通りである。

即ち、n番目のアドレスを $Ab(n)$ 、記憶装置の行の数をL、列の数をM、bを0以上の整数、xを0以上b以下の任意の整数とすると、

$$Ab(n) = (Ab(n-1) + M * (b-x)) \bmod (L \times M - 1) \dots (1)$$

$$\text{また、} REG = (M * (b-x)) \bmod (L \times M - 1)$$

15 ただし、 $Ab(0) = 0$ とする。また、\*はべき乗を表わす。

また、このようにしてブロックインタリーブを行ったデータに対しブロックデ  
インタリーブを行うには、ブロックデインタリーブ装置の記憶装置のアドレスが  
第13(k)図のように割り当てられているとすると、まず、REGを1とし、0  
→1→2→……→19の順で、すなわちそのアドレスが1ずつ増加する順に従っ  
20 てデータを書き込んでゆく。次に、第13(l)図に示されているように、アドレ  
スが4ずつ増加する順に従ってデータを読み出す。即ち、REGに4を乗じ、第  
13(k)図におけるアドレス0を初期値として、1入力データ毎に4増加するア  
ドレスを順次生成するが、その際、アドレスが19(=4×5-1)を越えたと  
この19による剰余をアドレスとして使用する。そして、この生成規則に従って  
25 生成したアドレスに従い、まず、第13(k)図において既に書き込まれているデ  
ータを、第13(l)図においてこの生成したアドレスの順に読み出し、その読み  
出しが終了した後に、第13(l)図において読み出しを行ったのと同じ順で同じ  
アドレスに対しデータの書き込みを行なう。

次に、第13(m)図に示されているように、このREGに対し4を乗じるが、

その値が19を越えるとこの19による剰余をREGの値として使用する。この場合REGの値16は19以下であるので、この値16をそのままREGの値として使用する。

そして、第13(k)図に示されているアドレスの配置を基準とし、そのアドレス0を初期値として、1入力データ毎に16増加するアドレスを順次生成し、アドレスが19(=4×5-1)を越えるとこの19による剰余をアドレスとして使用することにより読み出しを行い、第13(m)図において読み出しが終了した後、読み出しを行ったのと同じ順で同じアドレスに対しデータの書き込みを行なう。

以下、同様の処理を繰り返すことにより、順次異なるアドレスの順で読み出しを行い、読み出しを行ったのと同じ順で同じアドレスに対し書き込みを行ってゆけば、この例では第13(t)図の時点において、第13(k)図と同様のアドレスの順に戻る。

このような手順を繰り返すことにより、第14図に示すように、1ブロックの記憶領域を持つRAM202を用いてブロックデインタリーブを行うことが可能である。これはRAM制御装置200による書き込み読み出し制御、およびアドレス生成装置201により生成するアドレスを上述のように工夫することにより実現しているものである。

この従来例のブロックデインタリーブ装置におけるアドレス生成規則は以下の通りである。

$$Ab(n) = (Ab(n-1) + L \times (b-x)) \bmod (L \times M - 1) \dots (2)$$

$$\text{また、} REG = (L \times (b-x)) \bmod (L \times M - 1)$$

ただし、 $Ab(0) = 0$ とする。

この式(2)は式(1)のMをLに変更したものである。

従来のブロックインタリーブ装置およびブロックデインタリーブ装置は以上のように構成されており、上述のように1ブロックの記憶領域を持つ記憶装置1面のみを用いてブロックインタリーブおよびブロックデインタリーブを行うことができ、装置の省面積化、および低消費電力化を実現できるものである。

しかしながら、このようなブロックインタリーブ装置やブロックデインタリー

ブ装置は、コストや消費電力の観点から、より小面積で低消費電力であることが望ましく、回路面積のより省面積化やさらなる低消費電力化の実現が要請されていた。

- 本発明は、記憶装置の制御装置を最適化することにより、回路面積のより省面積化や、より低消費電力化を実現できるブロックインタリーブ装置、ブロックデインタリーブ装置、ブロックインタリーブ方法、およびブロックデインタリーブ方法を得ることを目的とする。

#### 発明の開示

- 10 本願の請求の範囲第1項の発明に係るブロックインタリーブ装置は、  
( $L \times M$ ) 個のアドレス ( $L$ ,  $M$  は 2 以上の整数) が割り当てられた記憶手段と、該記憶手段に対し、ブロックインタリーブすべき ( $L \times M$ ) 個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成するアドレス生成手段と、該アドレス生成手段により生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行う制御手段とを備え、上記アドレス生成手段は、ブロック番号  $b$  のブロックが入力される毎に、 $\alpha$  ( $\alpha$  は 2 以上の整数) と  $M$  の  $(b-x)$  乗 ( $x$  は 0 以上  $b$  以下の整数、 $b$  は 0 以上の整数) との乗算結果を生成する乗算手段と、上記乗算手段による乗算結果と比較基準値  $L \times M - 1$  との大小を比較する第1の比較手段を有し、  
15 その比較結果に基づき上記乗算結果より可能な限り上記  $L \times M - 1$  を減算して上記乗算結果のオーバーフローを抑えることにより上記ブロック番号  $b$  のブロックに対するアドレスの増分値 REG を出力する第1のオーバーフロー処理手段と、ブロック番号  $b$  のブロックが入力される毎に、上記第1のオーバーフロー処理手段により出力されるアドレスの増分値 REG に対し、上記ブロック番号  $b$  の  $n-1$  番目 ( $n$  は 1 以上  $L \times M - 1$  以下の整数) のアドレス  $A_b(n-1)$  を順次加算することにより上記ブロック番号  $b$  のブロック内の  $n$  番目のアドレス  $A_b(n)$  を順次生成する加算手段と、上記加算手段による加算結果と比較基準値  $L \times M - 1$  との大小を比較する第2の比較手段を有し、その比較結果に基づき上記加算結果より可能な限り上記  $L \times M - 1$  を減算して上記加算結果のオーバーフローを抑えることにより上記記憶手
- 20
- 25

- 段に対し実際に供給するアドレスを出力する第2のオーバーフロー処理手段とを有し、上記第1の比較手段は、上記乗算結果と上記比較基準値  $L \times M - 1$  とを比較する際に、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値  $A$  を上記比較基準値として使用し、大小比較を行うようにしたものである。

本願の請求の範囲第1項の発明に係るブロックインタリーブ装置は、記憶手段に対する書き込み読み出しを行う際に、上述のようなアドレス生成を行うことにより、1ブロックの記憶領域を持つ記憶手段1面でのブロックインタリーブ動作を可能とし、かつアドレス生成手段の回路規模を縮小可能とする。

- 10 本願の請求の範囲第2項の発明に係るブロックインタリーブ装置は、 $(L \times M)$  個のアドレス ( $L, M$  は2以上の整数) が割り当てられた記憶手段と、該記憶手段に対し、ブロックインタリーブすべき  $(L \times M)$  個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成するアドレス生成手段と、該アドレス生成手段により生成されたアドレスを用いて、上記記憶手段
- 15 が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行う制御手段とを備え、上記アドレス生成手段は、ブロック番号  $b$  ( $b$  は1以上の整数) のブロックに対するアドレスの増分値  $REG(b)$  を記憶するアドレス増分値記憶手段と、ブロック番号0のブロックに対するアドレスの増分値  $REG(0)$  として  $\alpha$  ( $\alpha$  は2以上の整数) を上記アドレス増分値記憶手段に初期設定する第1の初期
- 20 値設定手段と、上記アドレス増分値記憶手段の記憶出力値  $REG(c)$  ( $c=b-1$ ) に対し  $M$  を乗算する乗算手段と、上記乗算手段による乗算結果と比較基準値  $L \times M - 1$  との大小を比較する第1の比較手段を有し、その比較結果に基づき上記乗算結果より可能な限り上記  $L \times M - 1$  を減算することにより、 $\alpha \times M * (b - x) \bmod (L \times M - 1)$  に相当する演算 ( $*$  はべき乗、 $\bmod$  は剰余、 $x$  は0以上  $b$  以下の
- 25 整数) を行って、オーバーフローを抑えるとともに、上記演算結果をブロック番号  $b$  のブロックに対するアドレスの増分値  $REG(b)$  として上記アドレス増分値記憶手段に出力する第1のオーバーフロー処理手段と、ブロック番号  $b$  ( $b$  は1以上の整数) のブロックの中の  $n$  番目 ( $n$  は1以上  $L \times M - 1$  以下の整数) のアドレス  $Ab(n)$  を記憶し上記記憶手段のアドレス入力に出力するアドレス記憶手段と、ブ

- ロック番号  $b$  のブロックに対する 0 番目のアドレス  $Ab(0)$  を上記アドレス記憶手段に初期設定する第 2 の初期値設定手段と、上記アドレス記憶手段の記憶出力値  $Ab(p)$  に対し  $(p=n-1)$  上記アドレス増分値記憶手段からのアドレスの増分値  $REG(b)$  を加算する加算手段と、上記加算手段による加算結果と比較基準値  $L \times M - 1$  との大小を比較する第 2 の比較手段を有し、その比較結果に基づき上記加算結果より可能な限り上記  $L \times M - 1$  を減算することにより  $(Ab(n-1) + \alpha \times M * (b - x)) \bmod (L \times M - 1)$  に相当する演算を行って上記加算結果のオーバーフローを抑えるとともに、上記演算結果をブロック番号  $b$  のブロックに対する第  $n$  番目のアドレス  $Ab(n)$  として上記アドレス記憶手段に出力する第 2 のオーバーフロー処理手段とを有するものであり、上記第 1 の比較手段は、上記乗算結果と上記比較基準値  $L \times M - 1$  とを比較する際に、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値  $A$  を上記比較基準値として使用し、大小比較を行うようにしたものである。

- 本願の請求の範囲第 2 項の発明に係るブロックインタリーブ装置は、記憶手段  
15 に対する書き込み読み出しを行う際に、上述のようなアドレス生成を行うことにより、1 ブロックの記憶領域を持つ記憶手段 1 面でのブロックインタリーブ動作を可能とし、かつアドレス生成手段の回路規模を縮小可能とする。

- 本願の請求の範囲第 3 項の発明に係るブロックインタリーブ装置は、請求の範囲第 2 項記載のブロックインタリーブ装置において、上記第 1 の初期値設定手段  
20 は、上記  $\alpha$  を発生する第 1 の定数発生手段と、リセット信号の投入時に上記第 1 の定数発生手段からの上記  $\alpha$  を選択し上記アドレス増分値記憶手段に出力する第 1 のセクタとを有するものであり、上記第 1 のオーバーフロー処理手段は、上記乗算手段の出力と上記アドレス増分値記憶手段の出力とを入力とし、上記各ブロックの先頭において該乗算手段の出力を選択し、それ以外の期間は上記アドレス増分値記憶手段の出力を選択する第 2 のセクタと、上記第 2 のセクタの出力と上記比較基準値  $A$  とを比較する第 1 の比較手段と、上記第 2 のセクタの出力より上記  $L \times M - 1$  を減算する第 1 の減算手段と、上記第 2 のセクタの出力と上記第 1 の減算手段の出力とを入力とし、上記第 2 のセクタの出力が上記比較基準値以上の場合上記第 1 の減算手段の出力を選択し、上記第 2 のセクタの  
25

出力が上記比較基準値未満の場合該第2のセレクタの出力を選択する第3のセレクタとを有し、リセット信号の非投入期間に上記第1のセレクタを介して上記第3のセレクタの出力を上記アドレス増分値記憶手段に出力するようにしたものである。

- 5      本願の請求の範囲第3項の発明に係るブロックインタリーブ装置は、上述のような第1の初期値設定手段、第1のオーバーフロー処理手段の構成とすることにより、剰余を求めることが可能な時点で直ちに剰余を求めてからMの乗算を行うことにより、等価的にMの値をべき乗して剰余を求めるようにしており、このため、乗算および剰余の算出に時間を要さず、低速な演算でもアドレス生成を可能とする。
- 10

- 本願の請求の範囲第4項の発明に係るブロックインタリーブ装置は、請求の範囲第2項記載のブロックインタリーブ装置において、上記第1の比較手段は、上記比較基準値として、上記  $L \times M - 1$  を越える最小値Aに代えて、 $L \times M - 1 < B < A$  を満たし、かつ該比較手段を構成する論理ゲート数が最小になるように選定した値Bを使用するようにしたものである。
- 15

本願の請求の範囲第4項の発明に係るブロックインタリーブ装置は、上述のような比較基準値を使用することにより、第1の比較手段の回路面積をより縮小可能とし、このためアドレス生成手段の回路規模をより縮小可能とする。

- 本願の請求の範囲第5項の発明に係るブロックインタリーブ装置は、請求の範囲第2項記載のブロックインタリーブ装置において、上記第2の初期値設定手段は、値0を発生する第2の定数発生手段と、リセット信号の投入時に上記第2の定数発生手段からの値0を選択し上記アドレス記憶手段に出力する第4のセレクタとを有するものであり、上記第2のオーバーフロー処理手段は、上記加算手段の出力と比較基準値  $L \times M - 1$  とを比較する第2の比較手段と、上記加算手段の出力より上記比較基準値  $L \times M - 1$  を減算する第2の減算手段と、上記加算手段の出力と上記第2の減算手段の出力とを入力とし、上記加算手段の出力が上記比較基準値以上の場合上記第2の減算手段の出力を選択し、上記加算手段の出力が上記比較基準値未満の場合該加算手段の出力を選択する第5のセレクタとを有し、リセット信号の非投入期間に上記第4のセレクタを介して上記第5のセレクト
- 20
- 25

タの出力を上記アドレス記憶手段に出力するようにしたものである。

- 本願の請求の範囲第5項の発明に係るブロックインタリーブ装置は、上述のように構成したことにより、第1のオーバーフロー処理手段に比べ第2のオーバーフロー処理手段の構成が簡略化され、このためアドレス生成手段の回路規模をより縮小可能とする。

本願の請求の範囲第6項の発明に係るブロックインタリーブ装置は、請求の範囲第2項記載のブロックインタリーブ装置において、前記 $\alpha$ と $L \times M - 1$ との間に公約数が存在しないように、これらの値を設定するようにしたものである。

- 本願の請求の範囲第6項の発明に係るブロックインタリーブ装置は、上述のように構成したことにより、アドレスの生成規則が破綻するのを防止し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックインタリーブを行うことを可能とする。

- 本願の請求の範囲第7項の発明に係るブロックインタリーブ装置は、請求の範囲第2項記載のブロックインタリーブ装置において、前記 $\alpha$ と $M$ の $(-x)$ 乗が等しくないように、これらの値を設定するようにしたものである。

本願の請求の範囲第7項の発明に係るブロックインタリーブ装置は、上述のように構成したことにより、最初の書き込みの時点においてアドレスを連続して書き込みを行うのを防止し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックインタリーブを行うことを可能とする。

- 本願の請求の範囲第8項の発明に係るブロックインタリーブ装置は、請求の範囲第2項記載のブロックインタリーブ装置において、前記 $\alpha$ 、 $L$ 、 $M$ の値を、それぞれ $\alpha=20$ 、 $L=8$ 、 $M=203$ としたものである。

- 本願の請求の範囲第8項の発明に係るブロックインタリーブ装置は、上述のように構成したことにより、アドレス生成手段を構成する第1の比較手段の面積が低減し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックインタリーブを行うことを可能とする。

本願の請求の範囲第9項の発明に係るブロックインタリーブ装置は、請求の範囲第2項記載のブロックインタリーブ装置において、前記 $(L, M)$ の値を、 $L=96 \times X (X=1, 2, 4)$ 、 $M=2, \dots, 13$ あるいは $M=2, \dots, 13$ 、 $L=96 \times X (X=1, 2, 4)$ の72通りの



いずれかの値としたものである。

本願の請求の範囲第9項の発明に係るブロックインタリーブ装置は、上述のように構成したことにより、アドレス生成手段を構成する第1の比較手段の面積が低減し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックインタリーブを行うことを可能とする。

本願の請求の範囲第10項の発明に係るブロックデインタリーブ装置は、 $(L \times M)$  個のアドレス ( $L$ 、 $M$ は2以上の整数) が割り当てられた記憶手段と、該記憶手段に対し、ブロックデインタリーブすべき  $(L \times M)$  個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成するアドレス生成手段と、該アドレス生成手段により生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行う制御手段とを備え、上記アドレス生成手段は、ブロック番号  $b$  のブロックが入力される毎に、 $\alpha$  ( $\alpha$ は2以上の整数) と  $L$  の  $(b-x)$  乗 ( $x$  は0以上  $b$  以下の整数、 $b$  は0以上の整数) との乗算結果を生成する乗算手段と、上記乗算手段による乗算結果と比較基準値  $L \times M - 1$  との大小を比較する第1の比較手段を有し、その比較結果に基づき上記乗算結果より可能な限り上記  $L \times M - 1$  を減算して上記乗算結果のオーバーフローを抑えることにより上記ブロック番号  $b$  のブロックに対するアドレスの増分値  $REG$  を出力する第1のオーバーフロー処理手段と、ブロック番号  $b$  のブロックが入力される毎に、上記第1のオーバーフロー処理手段により出力されるアドレスの増分値  $REG$  に対し、上記ブロック番号  $b$  の  $n-1$  番目 ( $n$  は1以上  $L \times M - 1$  以下の整数) のアドレス  $Ab(n-1)$  を順次加算することにより上記ブロック番号  $b$  のブロック内の  $n$  番目のアドレス  $Ab(n)$  を順次生成する加算手段と、上記加算手段による加算結果と比較基準値  $L \times M - 1$  との大小を比較する第2の比較手段を有し、その比較結果に基づき上記加算結果より可能な限り上記  $L \times M - 1$  を減算して上記加算結果のオーバーフローを抑えることにより上記記憶手段に対し実際に供給するアドレスを出力する第2のオーバーフロー処理手段とを有し、上記第1の比較手段は、上記乗算結果と上記比較基準値  $L \times M - 1$  とを比較する際に、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値  $A$  を上記比較基準値として使用し、大小比較を行うようにしたもので

ある。

本願の請求の範囲第10項の発明に係るブロックデインタリーブ装置は、記憶手段に対する書き込み読み出しを行う際に、上述のようなアドレス生成を行うことにより、1ブロックの記憶領域を持つ記憶手段1面でのブロックデインタリーブ動作を可能とし、かつアドレス生成手段の回路規模を縮小可能とする。

本願の請求の範囲第11項の発明に係るブロックデインタリーブ装置は、 $(L \times M)$  個のアドレス ( $L, M$  は2以上の整数) が割り当てられた記憶手段と、該記憶手段に対し、ブロックデインタリーブすべき  $(L \times M)$  個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成するアドレス生成手段と、該アドレス生成手段により生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行う制御手段とを備え、上記アドレス生成手段は、ブロック番号  $b$  ( $b$  は1以上の整数) のブロックに対するアドレスの増分値  $REG(b)$  を記憶するアドレス増分値記憶手段と、ブロック番号0のブロックに対するアドレスの増分値  $REG(0)$  として  $\alpha$  ( $\alpha$  は2以上の整数) を上記アドレス増分値記憶手段に初期設定する第1の初期値設定手段と、上記アドレス増分値記憶手段の記憶出力値  $REG(c)$  ( $c=b-1$ ) に対し  $L$  を乗算する乗算手段と、上記乗算手段による乗算結果と比較基準値  $L \times M - 1$  との大小を比較する第1の比較手段を有し、その比較結果に基づき上記乗算結果より可能な限り上記  $L \times M - 1$  を減算することにより、 $\alpha \times L \times (b - x) \bmod (L \times M - 1)$  に相当する演算 ( $\times$  はべき乗、 $\bmod$  は剰余、 $x$  は0以上  $b$  以下の整数) を行って、オーバーフローを抑えるとともに、上記演算結果をブロック番号  $b$  のブロックに対するアドレスの増分値  $REG(b)$  として上記アドレス増分値記憶手段に出力する第1のオーバーフロー処理手段と、ブロック番号  $b$  ( $b$  は1以上の整数) のブロックの中の  $n$  番目 ( $n$  は1以上  $L \times M - 1$  以下の整数) のアドレス  $Ab(n)$  を記憶し上記記憶手段のアドレス入力に出力するアドレス記憶手段と、ブロック番号  $b$  のブロックに対する0番目のアドレス  $Ab(0)$  を上記アドレス記憶手段に初期設定する第2の初期値設定手段と、上記アドレス記憶手段の記憶出力値  $Ab(p)$  に対し ( $p=n-1$ ) 上記アドレス増分値記憶手段からのアドレスの増分値  $REG(b)$  を加算する加算手段と、上記加算手段による加算結果と比較基準値  $L \times M -$

- 1 との大小を比較する第 2 の比較手段を有し、その比較結果に基づき上記加算結果より可能な限り上記  $L \times M - 1$  を減算することにより  $(Ab(n-1) + \alpha \times L \times (b - x)) \bmod (L \times M - 1)$  に相当する演算を行って上記加算結果のオーバーフローを抑えるとともに、上記演算結果をブロック番号  $b$  のブロックに対する第  $n$
- 5 番目のアドレス  $Ab(n)$  として上記アドレス記憶手段に出力する第 2 のオーバーフロー処理手段とを有するものであり、上記第 1 の比較手段は、上記乗算結果と上記比較基準値  $L \times M - 1$  とを比較する際に、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値  $A$  を上記比較基準値として使用し、大小比較を行うようにしたものである。
- 10 本願の請求の範囲第 1 項の発明に係るブロックデインタリーブ装置は、記憶手段に対する書き込み読み出しを行う際に、上述のようなアドレス生成を行うことにより、1 ブロックの記憶領域を持つ記憶手段 1 面でのブロックデインタリーブ動作を可能とし、かつアドレス生成手段の回路規模を縮小可能とする。
- 本願の請求の範囲第 1 項の発明に係るブロックデインタリーブ装置は、請求
- 15 の範囲第 1 項記載のブロックデインタリーブ装置において、上記第 1 の初期値設定手段は、上記  $\alpha$  を発生する第 1 の定数発生手段と、リセット信号の投入時に上記第 1 の定数発生手段からの上記  $\alpha$  を選択し上記アドレス増分値記憶手段に出力する第 1 のセレクタとを有するものであり、上記第 1 のオーバーフロー処理手段は、上記乗算手段の出力と上記アドレス増分値記憶手段の出力とを入力とし、
- 20 上記各ブロックの先頭において該乗算手段の出力を選択し、それ以外の期間は上記アドレス増分値記憶手段の出力を選択する第 2 のセレクタと、上記第 2 のセレクタの出力と上記比較基準値  $A$  とを比較する第 1 の比較手段と、上記第 2 のセレクタの出力より上記  $L \times M - 1$  を減算する第 1 の減算手段と、上記第 2 のセレクタの出力と上記第 1 の減算手段の出力とを入力とし、上記第 2 のセレクタの出力が
- 25 上記比較基準値以上の場合上記第 1 の減算手段の出力を選択し、上記第 2 のセレクタの出力が上記比較基準値未満の場合該第 2 のセレクタの出力を選択する第 3 のセレクタとを有し、リセット信号の非投入期間に上記第 1 のセレクタを介して上記第 3 のセレクタの出力を上記アドレス増分値記憶手段に出力するようにしたものである。

本願の請求の範囲第12項の発明に係るブロックデインタリーブ装置は、上述のような第1の初期値設定手段、第1のオーバーフロー処理手段の構成とすることにより、剰余を求めることが可能な時点で直ちに剰余を求めてからMの乗算を行うことにより、等価的にMの値をべき乗して剰余を求めるようにしており、このため、乗算および剰余の算出に時間を要さず、低速な演算でもアドレス生成を可能とする。

本願の請求の範囲第13項の発明に係るブロックデインタリーブ装置は、請求の範囲第11項記載のブロックデインタリーブ装置において、上記第1の比較手段は、上記比較基準値として、上記  $L \times M - 1$  を越える最小値Aに代えて、 $L \times M - 1 < B < A$  を満たし、かつ該比較手段を構成する論理ゲート数が最小になるように選定した値Bを使用するようにしたものである。

本願の請求の範囲第13項の発明に係るブロックデインタリーブ装置は、上述のような比較基準値を使用することにより、第1の比較手段の回路面積をより縮小可能とし、このためアドレス生成手段の回路規模をより縮小可能とする。

本願の請求の範囲第14項の発明に係るブロックデインタリーブ装置は、請求の範囲第11項記載のブロックデインタリーブ装置において、上記第2の初期値設定手段は、値0を発生する第2の定数発生手段と、リセット信号の投入時に上記第2の定数発生手段からの値0を選択し上記アドレス記憶手段に出力する第4のセレクタとを有するものであり、上記第2のオーバーフロー処理手段は、上記加算手段の出力と比較基準値  $L \times M - 1$  とを比較する第2の比較手段と、上記加算手段の出力より上記比較基準値  $L \times M - 1$  を減算する第2の減算手段と、上記加算手段の出力と上記第2の減算手段の出力とを入力とし、上記加算手段の出力が上記比較基準値以上の場合上記第2の減算手段の出力を選択し、上記加算手段の出力が上記比較基準値未満の場合該加算手段の出力を選択する第5のセレクタとを有し、リセット信号の非投入期間に上記第4のセレクタを介して上記第5のセレクタの出力を上記アドレス記憶手段に出力するようにしたものである。

本願の請求の範囲第14項の発明に係るブロックデインタリーブ装置は、上述のように構成したことにより、第1のオーバーフロー処理手段に比べ第2のオーバーフロー処理手段の構成が簡略化され、このためアドレス生成手段の回路規模

をより縮小可能とする。

本願の請求の範囲第 15 項の発明に係るブロックデインタリーブ装置は、請求の範囲第 11 項記載のブロックデインタリーブ装置において、前記  $\alpha$  と  $L \times M - 1$  との間に公約数が存在しないように、これらの値を設定するようにしたものである。

本願の請求の範囲第 15 項の発明に係るブロックデインタリーブ装置は、上述のように構成したことにより、アドレスの生成規則が破綻するのを防止し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックデインタリーブを行うことを可能とする。

10 本願の請求の範囲第 16 項の発明に係るブロックデインタリーブ装置は、請求の範囲第 11 項記載のブロックデインタリーブ装置において、前記  $\alpha$  と  $L$  の  $(-x)$  乗が等しくないように、これらの値を設定するようにしたものである。

本願の請求の範囲第 16 項の発明に係るブロックデインタリーブ装置は、上述のように構成したことにより、最初の書き込みの時点においてアドレスを連続して書き込みを行うのを防止し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックデインタリーブを行うことを可能とする。

15 本願の請求の範囲第 17 項の発明に係るブロックデインタリーブ装置は、請求の範囲第 11 項記載のブロックデインタリーブ装置において、前記  $\alpha$ 、 $L$ 、 $M$  の値を、それぞれ  $\alpha=20$ 、 $L=8$ 、 $M=203$  とするようにしたものである。

20 本願の請求の範囲第 17 項の発明に係るブロックデインタリーブ装置は、上述のように構成したことにより、アドレス生成手段を構成する第 1 の比較手段の面積が低減し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックデインタリーブを行うことを可能とする。

本願の請求の範囲第 18 項の発明に係るブロックデインタリーブ装置は、請求の範囲第 10 項記載のブロックデインタリーブ装置において、前記  $(L, M)$  の値を、 $L=96 \times X (X=1, 2, 4)$ 、 $M=2, \dots, 13$  あるいは  $M=2, \dots, 13$ 、 $L=96 \times X (X=1, 2, 4)$  の 72 通りのいずれかの値としたものである。

本願の請求の範囲第 18 項の発明に係るブロックデインタリーブ装置は、上述のように構成したことにより、アドレス生成手段を構成する第 1 の比較手段の面

積が低減し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックインタリーブを行うことを可能とする。

- 本願の請求の範囲第19項の発明に係るブロックインタリーブ方法は、 $(L \times M)$  個のアドレス ( $L, M$  は2以上の整数) が割り当てられた記憶手段に
- 5 対し、ブロックインタリーブすべき  $(L \times M)$  個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成し、該生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行うことによりデータのブロックインタリーブを行う方法において、ブロック番号0のブロックに対しアドレスの増分値 REG として  $\alpha$  ( $\alpha$  は2以上の整数) を与え、以後ブロック番号が1増すごとに増分値 REG に  $M$  を乗算したものを当該ブロックのアドレスの増分値 REG とする際、アドレスの増分値 REG が  $L \times M - 1$  を越えた場合、当該増分値 REG に代えて  $L \times M - 1$  による剰余を当該増分値として上記の処理を繰り返すことにより、 $\alpha \times M \times (b - x) \bmod (L \times M - 1)$  に相当する演算 ( $\times$  はべき乗、 $\bmod$  は剰余、 $x$  は0以上
- 10  $b$  以下の整数) を行つて、各ブロック毎のアドレスの増分値を求め、各ブロックにおいて、アドレスの初期値として  $Ab(0)$  を設定し、以後当該ブロックのアドレスの増分値 REG を順次加算することにより当該ブロック内の各アドレス  $Ab(1)$  ないし  $Ab(n)$  ( $n$  は1以上  $L \times M - 1$  以下の整数) を生成する際、アドレスが  $L \times M - 1$  を越えた場合当該アドレスに代えて  $L \times M - 1$  による剰余を当該アドレスとして上記の処理を繰り返し、各ブロック内のアドレスを生成することにより、上記アドレス生成を実行し、かつ、上記アドレスの増分値を計算する際の剰余を求めるか否かの判定を、上記アドレスの増分値と上記  $L \times M - 1$  との大小比較で判定する際、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値  $A$  を上記比較基準値として使用
- 20 し、大小比較を行う第1の比較手段を使用して行うようにしたものである。

本願の請求の範囲第19項の発明に係るブロックインタリーブ方法は、記憶手段に対する書き込み読み出しを行う際に、上述のようなアドレス生成を行うことにより、1ブロックの記憶領域を持つ記憶手段1面でのブロックインタリーブ動作を可能とし、かつアドレス生成手段の回路規模を縮小可能とする。

- 本願の請求の範囲第20項の発明に係るブロックインタリーブ方法は、請求の範囲第19項記載のブロックインタリーブ方法において、上記第1の比較手段は、上記比較基準値として、上記  $L \times M - 1$  を越える最小値  $A$  に代えて、 $L \times M - 1 < B < A$  を満たし、かつ該比較手段を構成する論理ゲート数が最小になるように選定した値  $B$  を使用するようにしたものである。

本願の請求の範囲第20項の発明に係るブロックインタリーブ方法は、上述のような比較基準値を使用することにより、第1の比較手段の回路面積をより縮小可能とし、このためアドレス生成手段の回路規模をより縮小可能とする。

- 本願の請求の範囲第21項の発明に係るブロックインタリーブ方法は、請求の範囲第19項記載のブロックインタリーブ方法において、前記  $\alpha$  と  $L \times M - 1$  との間に公約数が存在しないように、これらの値を設定するようにしたものである。

- 本願の請求の範囲第21項の発明に係るブロックインタリーブ方法は、上述のように構成したことにより、アドレスの生成規則が破綻するのを防止し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックインタリーブを行うことを可能とする。

本願の請求の範囲第22項の発明に係るブロックインタリーブ方法は、請求の範囲第19項記載のブロックインタリーブ方法において、前記  $\alpha$  と  $M$  の  $(-x)$  乗が等しくないように、これらの値を設定するようにしたものである。

- 本願の請求の範囲第22項の発明に係るブロックインタリーブ方法は、上述のように構成したことにより、最初の書き込みの時点においてアドレスを連続して書き込みを行うのを防止し、記憶手段、アドレス生成のための手段を最適化し、最小限の回路面積により、ブロックインタリーブを行うことを可能とする。

- 本願の請求の範囲第23項の発明に係るブロックインタリーブ方法は、請求の範囲第19項記載のブロックインタリーブ方法において、前記  $\alpha$ 、 $L$ 、 $M$  の値を、それぞれ  $\alpha = 20$ 、 $L = 8$ 、 $M = 203$  とするようにしたものである。

本願の請求の範囲第23項の発明に係るブロックインタリーブ方法は、上述のように構成したことにより、アドレス生成のための手段を構成する第1の比較手段の面積が低減し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックインタリーブを行うことを可能とする。

本願の請求の範囲第24項の発明に係るブロックインタリーブ方法は、請求の範囲第19項記載のブロックインタリーブ方法において、前記(L, M)の値を、 $L=96 \times X$  ( $X=1, 2, 4$ ),  $M=2, \dots, 13$  あるいは  $M=2, \dots, 13, L=96 \times X$  ( $X=1, 2, 4$ ) の72通りのいずれかの値とするようにしたものである。

- 5 本願の請求の範囲第24項の発明に係るブロックインタリーブ方法は、上述のように構成したことにより、アドレス生成のための手段を構成する第1の比較手段の面積が低減し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックインタリーブを行うことを可能とする。

- 本願の請求の範囲第25項の発明に係るブロックデインタリーブ方法は、(L
- 10  $\times M$ ) 個のアドレス (L, Mは2以上の整数) が割り当てられた記憶手段に対し、ブロックデインタリーブすべき (L  $\times$  M) 個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成し、該生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行うことによりデータのブロックデインタリーブを行う方法において、ブロック番号0のブロックに対しアドレスの増分値 REG として  $\alpha$  ( $\alpha$
- 15 は2以上の整数) を与え、以後ブロック番号が1増すごとに増分値 REG に L を乗算したものを当該ブロックのアドレスの増分値 REG とする際、アドレスの増分値 REG が  $L \times M - 1$  を越えた場合、当該増分値 REG に代えて  $L \times M - 1$  による剰余を当該増分値として上記の処理を繰り返すことにより、 $\alpha \times L \times (b - x) \bmod (L \times M - 1)$  に相当する演算 (\*\*はべき乗、modは剰余、xは
- 20 0以上b以下の整数) を行って、各ブロック毎のアドレスの増分値を求め、各ブロックにおいて、アドレスの初期値として  $Ab(0)$  を設定し、以後当該ブロックのアドレスの増分値 REG を順次加算することにより当該ブロック内の各アドレス  $Ab(1)$  ないし  $Ab(n)$  ( $n$  は1以上  $L \times M - 1$  以下の整数) を生成する
- 25 際、アドレスが  $L \times M - 1$  を越えた場合当該アドレスに代えて  $L \times M - 1$  による剰余を当該アドレスとして上記の処理を繰り返し、各ブロック内のアドレスを生成することにより、上記アドレス生成を実行し、かつ、上記アドレスの増分値を計算する際の剰余を求めるか否かの判定を、上記アドレスの増分値と上記  $L \times M - 1$  との大小比較で判定する際、上記  $L \times M - 1$  に代えて、



上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値  $A$  を上記比較基準値として使用し、大小比較を行う第 1 の比較手段を使用して行うようにしたものである。

- 本願の請求の範囲第 25 項の発明に係るブロックデインタリーブ方法は、記憶手段に対する書き込み読み出しを行う際に、上述のようなアドレス生成を行うことにより、1 ブロックの記憶領域を持つ記憶手段 1 面でのブロックデインタリーブ動作を可能とし、かつアドレス生成手段の回路規模を縮小可能とする。

- 本願の請求の範囲第 26 項の発明に係るブロックデインタリーブ方法は、請求の範囲第 23 項記載のブロックデインタリーブ方法において、上記第 1 の比較手段は、上記比較基準値として、上記  $L \times M - 1$  を越える最小値  $A$  に代えて、 $L \times M - 1 < B < A$  を満たし、かつ該比較手段を構成する論理ゲート数が最小になるように選定した値  $B$  を使用するようにしたものである。

- 本願の請求の範囲第 26 項の発明に係るブロックデインタリーブ方法は、上述のような比較基準値を使用することにより、第 1 の比較手段の回路面積をより縮小可能とし、このためアドレス生成手段の回路規模をより縮小可能とする。
- 15 本願の請求の範囲第 27 項の発明に係るブロックデインタリーブ方法は、請求の範囲第 25 項記載のブロックデインタリーブ方法において、前記  $\alpha$  と  $L \times M - 1$  との間に公約数が存在しないように、これらの値を設定するようにしたものである。

- 本願の請求の範囲第 27 項の発明に係るブロックデインタリーブ方法は、上述のように構成したことにより、アドレスの生成規則が破綻するのを防止し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックデインタリーブを行うことを可能とする。

- 本願の請求の範囲第 28 項の発明に係るブロックデインタリーブ方法は、請求の範囲第 25 項記載のブロックデインタリーブ方法において、前記  $\alpha$  と  $M$  の  $(-x)$  乗が等しくないように、これらの値を設定するようにしたものである。

本願の請求の範囲第 28 項の発明に係るブロックデインタリーブ方法は、上述のように構成したことにより、最初の書き込みの時点においてアドレスを連続して書き込みを行うのを防止し、記憶手段、アドレス生成のための手段を最適化し、最小限の回路面積により、ブロックデインタリーブを行うことを可能とする。

本願の請求の範囲第29項の発明に係るブロックデインタリーブ方法は、請求の範囲第25項記載のブロックデインタリーブ方法において、前記 $\alpha$ 、 $L$ 、 $M$ の値を、それぞれ $\alpha=20$ 、 $L=8$ 、 $M=203$ としたものである。

5 本願の請求の範囲第29項の発明に係るブロックデインタリーブ方法は、上述のように構成したことにより、アドレス生成のための手段を構成する第1の比較手段の面積が低減し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックデインタリーブを行うことを可能とする。

10 本願の請求の範囲第30項の発明に係るブロックデインタリーブ方法は、請求の範囲第25項記載のブロックデインタリーブ方法において、前記 $(L, M)$ の値を、 $L=96 \times X$  ( $X=1, 2, 4$ )、 $M=2, \dots, 13$ あるいは $M=2, \dots, 13$ 、 $L=96 \times X$  ( $X=1, 2, 4$ )の72通りのいずれかの値とするようにしたものである。

15 本願の請求の範囲第30項の発明に係るブロックデインタリーブ方法は、上述のように構成したことにより、アドレス生成のための手段を構成する第1の比較手段の面積が低減し、記憶手段、アドレス生成手段を最適化し、最小限の回路面積により、ブロックデインタリーブを行うことを可能とする。

#### 図面の簡単な説明

第1図は、本願発明の実施の形態1によるブロックデインタリーブ装置の構成を示すブロック図である。

20 第2図は、本願発明の実施の形態1によるブロックデインタリーブ装置における記憶装置の書き込み読み出し順の一例を示す図である。

第3図は、本願発明の実施の形態1によるブロックデインタリーブ装置において記憶装置が1面で済む点を示すブロック図である。

25 第4図は、本願発明の実施の形態1によるブロックデインタリーブ装置におけるアドレス生成装置の各部の信号波形を示す図である。

第5図は、従来のブロックデインタリーブ装置の記憶装置の制御装置における比較器の構成を示す図である。

第6図は、本願発明の実施の形態1によるブロックデインタリーブ装置の記憶装置の制御装置における比較器の構成を示す図である。

第7図は、本願発明の実施の形態2によるブロックデインタリーブ装置の構成を示すブロック図である。

第8図は、本願発明の実施の形態2によるブロックデインタリーブ装置における記憶装置の書き込み読み出し順の一例を示す図である。

- 5 第9図は、本願発明の実施の形態2によるブロックデインタリーブ装置において記憶装置が1面で済む点を示すブロック図である。

第10図は、本願発明の実施の形態2によるブロックデインタリーブ装置におけるアドレス生成装置の各部の信号波形を示す図である。

- 10 第11図は、従来のブロックデインタリーブ装置の記憶装置の制御装置における比較器の構成を示す図である。

第12図は、本願発明の実施の形態2によるブロックデインタリーブ装置の記憶装置の制御装置における比較器の構成を示す図である。

第13図は、従来のブロックインタリーブ装置およびブロックデインタリーブ装置における記憶装置の書き込み読み出し順を示す図である。

- 15 第14図は、従来のブロックインタリーブ装置およびブロックデインタリーブ装置において記憶装置が1面で済む点を示すブロック図である。

発明を実施するための最良の形態

(実施の形態1)

- 20 以下、本発明の実施の形態1について、図を用いて説明する。

本願発明によるブロックインタリーブ装置およびブロックインタリーブ方法について説明する。

- 25 本実施の形態1のブロックインタリーブ装置およびブロックインタリーブ方法は、記憶装置のアドレス生成装置を最適化することにより、記憶装置の制御装置の面積あるいは消費電力をより低減できるようにしたものである。

第1図は本願発明の実施の形態1による、L×Mデータのブロックインタリーブを行うブロックインタリーブ装置を示すものである。第1図において、101は本ブロックインタリーブ装置によりブロックインタリーブを行うべき入力データの入力端子、102はこのブロックインタリーブを行うべき入力データのプ

- ロックの先頭入力データ毎に同期して入力され、値0でアクティブとなる先頭入力データ同期信号（NBLOCKSYNC信号）の入力端子、114は値0で本ブロックインタリーブ装置を初期状態にリセットするリセット信号（NRST信号）の入力端子、106は各入力データ毎に発生する同期信号の入力端子、116は各入力データ毎に発生する同期信号（クロック信号CLK）の2倍の周波数のクロック信号CLK2の入力端子、112は同期信号入力端子106から入力される同期信号に応じて記憶装置104を制御する制御装置であり、アドレス生成手段により生成されたアドレスを用いて、記憶手段がデータの書き込みおよび読み出しを切り替えて行う制御手段に相当する。103は入力端子106から入力される同期信号（CLK信号）、入力端子102から入力される先頭入力データ同期信号（NBLOCKSYNC信号）および入力端子114から入力されるリセット信号（NRST信号）に基づいて記憶装置104のアドレスを生成するアドレス生成装置であり、記憶手段に対し、ブロックインタリーブすべき（L×M）個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成するアドレス生成手段に相当する。120はこのアドレス生成装置103が生成したアドレスを出力する出力端子、104は記憶装置（記憶手段）であり、（L×M）個のアドレスが割り当てられ、制御装置112の制御により、アドレス生成装置103により生成されたアドレスに入力端子101からの入力データを書き込み、これを読み出すことによりブロックインタリーブを行うものである。
- 20 また、ADは記憶装置104のアドレス入力端子、DIは記憶装置104のデータ入力端子、NWEは記憶装置104のライトイネーブル入力端子であり、値0が入力されると記憶装置104が書き込みモードになる。DOは記憶装置104のデータ出力端子であり、これは本ブロックインタリーブ装置の出力端子でもある。CLK2はこの記憶装置104用のクロック入力端子であり、クロック信号入力端子116から、クロック信号CLKの2倍のクロック信号が入力される。
- 25 105は本ブロックインタリーブ装置によりインタリーブされたデータを出力する出力端子である。

また、第1図のアドレス生成装置103において、110は定数Mを発生する定数発生器、113は初期値 $\alpha$ が初期設定されるレジスタ、111はこの定数M

とレジスタ 113 の出力信号とを乗算する乗算器であり、ブロック番号  $b$  のブロックが入力される毎に、 $\alpha$  ( $\alpha$  は 2 以上の整数) と  $M$  の  $(b-x)$  乗 ( $x$  は 0 以上  $b$  以下の整数、 $b$  は 0 以上の整数) との乗算結果を生成する乗算手段に相当する。140 はこの乗算器 111 の出力がオーバーフローした場合の処理を行うオーバーフロー処理装置であり、上記乗算手段による乗算結果と比較基準値  $L \times M - 1$  との大小を比較する第 1 の比較手段を有し、その比較結果に基づき上記乗算結果より可能な限り上記  $L \times M - 1$  を減算して上記乗算結果のオーバーフローを抑えることにより上記ブロック番号  $b$  のブロックに対するアドレスの増分値 REG を出力する第 1 のオーバーフロー処理手段に相当する。121 は入力端子 102 からの NBLOCKSYNC 信号を制御信号とし乗算器 111 の出力信号またはセクタ 124 の出力信号のいずれかを選択するスイッチ (第 2 のセクタ)、122 はこのセクタ 121 の出力信号から  $(L \times M - 1)$  を減算する減算器 (第 1 の減算手段)、123 はこのセクタ 121 の出力信号と  $(L \times M - 1)$  との大小を比較する比較器 (第 1 の比較手段)、124 はこの比較器 123 の出力信号を制御信号として減算器 122 の出力信号またはセクタ 121 の出力信号のいずれかを選択するスイッチ (第 3 のセクタ)、118 は初期値  $\alpha$  を発生する定数発生器 (第 1 の定数発生手段)、126 は入力端子 114 からの NRST 信号を制御信号とし、定数発生器 118 の出力信号またはセクタ 124 の出力信号のいずれかを選択してレジスタ (アドレス増分値記憶手段) 113 に出力するスイッチ (第 1 のセクタ)、128 は NBLOCKSYNC 信号を制御信号とし、レジスタ 113 の出力信号またはレジスタ 127 の出力信号のいずれかを選択するスイッチ (セクタ)、127 はこのセクタ 128 の出力信号を入力とするレジスタである。

また、115 はこのレジスタ 127 の出力信号とレジスタ 117 の出力信号とを加算する加算器であり、ブロック番号  $b$  のブロックが入力される毎に、上記第 1 のオーバーフロー処理手段により出力されるアドレスの増分値 REG に対し、上記ブロック番号  $b$  の  $n-1$  番目 ( $n$  は 1 以上  $L \times M - 1$  以下の整数) のアドレス  $A_b(n-1)$  を順次加算することにより上記ブロック番号  $b$  のブロック内の  $n$  番目のアドレス  $A_b(n)$  を順次生成する加算手段に相当する。141 はこの加算器 115 の出力が

オーバーフローした場合の処理を行うオーバフロー処理装置であり、上記加算手段による加算結果と比較基準値  $L \times M - 1$  との大小を比較する第2の比較手段を有し、その比較結果に基づき上記加算結果より可能な限り上記  $L \times M - 1$  を減算して上記加算結果のオーバーフローを抑えることにより上記記憶手段に対し実際に

5 供給するアドレスを出力する第2のオーバフロー処理手段に相当する。132は加算器115の出力信号から  $(L \times M - 1)$  を減算する減算器(第2の減算手段)、133はこの加算器115の出力信号と  $(L \times M - 1)$  との大小を比較する比較器(第2の比較手段)、134はこの比較器133の出力信号を制御信号として加算器115の出力信号または減算器132の出力信号のいずれかを選択する

10 スイッチ(第5のセクタ)、119は初期値0を発生する定数発生器、130はN-B-L-O-C-K-S-Y-N-C信号を制御信号とし、定数発生器119の出力信号またはセクタ134の出力信号のいずれかを選択するスイッチ(第4のセクタ)である。

また、117はこのオーバフロー処理装置141の出力がセットされるレジスタ

15 タ(アドレス記憶手段)、129はデータ入力端子101からのデータを保持し記憶装置104に出力するレジスタであり、レジスタ113、127、117、129はいずれも入力データに同期したクロック信号CLKの立ち上がりで保持するデータを更新する。

第2図は本実施の形態1によるブロックインタリーブ装置の動作を模式的に

20 示すものであり、4行5列のデータに対し、ブロックインタリーブを行う場合を例にとって示している。

この実施の形態1によるブロックインタリーブ装置は、以下のようなブロックインタリーブ方法によりデータのブロックインタリーブを行うものである。

即ち、この方法は、 $(L \times M)$  個のアドレス( $L$ ,  $M$ は2以上の整数)が

25 割り当てられた記憶手段に対し、ブロックインタリーブすべき  $(L \times M)$  個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成し、該生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行うことによりデータのブロックインタリーブを行う方法において、ブロック番号0のブロックに対しアドレスの増

- 分値 REG として  $\alpha$  ( $\alpha$  は 2 以上の整数) を与え、以後ブロック番号が 1 増すごとに増分値 REG に M を乗算したものを当該ブロックのアドレスの増分値 REG とする際、アドレスの増分値 REG が  $L \times M - 1$  を越えた場合、当該増分値 REG に代えて  $L \times M - 1$  による剰余を当該増分値として上記の処理を繰り返すことにより、 $\alpha \times M^{**} (b - x) \bmod (L \times M - 1)$  に相当する演算 ( $**$  はべき乗、 $\bmod$  は剰余、 $x$  は 0 以上  $b$  以下の整数) を行って、各ブロック毎のアドレスの増分値を求め、各ブロックにおいて、アドレスの初期値として  $Ab(0)$  を設定し、以後当該ブロックのアドレスの増分値 REG を順次加算することにより当該ブロック内の各アドレス  $Ab(1)$  ないし  $Ab(n)$  ( $n$  は 1 以上  $L \times M - 1$  以下の整数) を生成する際、アドレスが  $L \times M - 1$  を越えた場合当該アドレスに代えて  $L \times M - 1$  による剰余を当該アドレスとして上記の処理を繰り返し、各ブロック内のアドレスを生成することにより、上記アドレス生成を実行し、かつ、上記アドレスの増分値を計算する際の剰余を求めるか否かの判定を、上記アドレスの増分値と上記  $L \times M - 1$  との大小比較で判定する際、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値 A を上記比較基準値として使用し、大小比較を行う第 1 の比較手段を使用して行う、という方法により、ブロックインタリーブを行うものである。

次に第 1 図の動作について、第 2 図に示した、4 行 5 列のデータに対し、ブロックインタリーブを行う場合を例にとって説明する。

- 第 1 図に示すように、本実施の形態 1 によるブロックインタリーブ装置は、入力端子 101 から入力されるデータを  $L \times M$  データの記憶装置 104 に書き込み、この  $L \times M$  データの記憶装置 104 からデータを読み出すことによりブロックインタリーブを行うものであり、その際、第 2 図に示すような順序で書き込み、読み出しを行うように、制御装置 112 が前記記憶装置 104 へ制御信号を出力することによりその書き込み、読み出し制御を行い、かつアドレス生成装置 103 がその書き込み、読み出しの際のアドレスを生成し、これを前記記憶装置 104 に出力することにより、1 ブロックの記憶領域を持つ記憶装置 1 面でブロックインタリーブされた出力 105 を生成できるものである。

この装置は、ブロックインタリーブ装置の記憶装置 104 のアドレスが第 13

(a)図のように割り当てられているとすると、まず、第2(a)図のようにREGを2とし、第13(a)図のアドレス0を初期値とし1入力データ毎に2ずつ増加する書き込みアドレスを順次生成する。その際、書き込みアドレスが19( $=4 \times 5 - 1$ )を越えるとこの19による剰余をアドレスとして使用する。従って、

5 例えば、第13(a)図におけるアドレス2に相当するアドレスには、第2(a)図ではアドレス1が割り当てられる。そして、この生成規則に従って生成した書き込みアドレスに従い、データを書き込みを、ブロック内の全てのアドレスにアクセスが完了する迄行なう。

即ち、第13(a)図の従来方式では書き込みアドレスが増加する順に従って0

10  $\rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow 19$ の順でデータを順次書き込んでいたものが、本実施の形態1ではこれを1つ飛ばしに書き込んでゆくものである。

次に、第2(b)図に示されているように、REGに5を乗じ、第13(a)図におけるアドレスの並びを基準として、第13(a)図のアドレス0を初期値とし、1入力データ毎にアドレスが10( $=2 \times 5$ )ずつ増加するアドレスを順次生成

15 するが、その際、アドレスが19( $=4 \times 5 - 1$ )を越えるとこの19による剰余をアドレスとして使用する。

そして、第2(b)図において、この生成規則に従って生成したアドレスに従い読み出しを行い、この読み出しを行ったのと同じ順で同じアドレスに対し書き込みを行う。なお、この読み出しおよび書き込みは、ブロック内の全てのアドレス

20 にアクセスが完了する迄行なう。

次に、第2(c)図に示されているように、このREGに対し5を乗じるが、その値が19を越えているのでこの19による剰余12を求め、これをREGの値として使用する。

そして、第13(a)図に示されているアドレスの並びを基準とし、そのアドレス0を初期値として、1入力データ毎に12ずつ増加するアドレスを順次生成し、

25 アドレスが19( $=4 \times 5 - 1$ )を越えるとこの19による剰余を求め、これをアドレスとして使用する。

そして、第2(c)図において、この生成規則に従って生成したアドレスに従い読み出しを行い、この読み出しを行ったのと同じ順で同じアドレスに対し書き込



みを行う。なお、読み出しおよび書き込みは、ブロック内の全てのアドレスにアクセスが完了する迄行なう。

以下、同様の処理を繰り返すことにより、順次異なるアドレスの順で読み出し、書き込みを行ってゆけば、この例では第2(j)図の時点において、第2(a)図と

5 同様のアドレスの順に戻る。

このような手順を繰り返すことにより、第3図に示すように、1ブロックの記憶領域を持つ記憶装置1面のみを用いてブロックインタリーブを行うことが可能となっている。これは制御装置112による書き込み読み出し制御、およびアドレス生成装置103により生成する記憶装置104のアドレスを上述のように工夫することにより実現しているものであり、これに加えて、本実施の形態1  
10 ではアドレス生成装置の回路面積や消費電力の低減が可能になっている。

この実施の形態1におけるアドレス生成規則は以下の通りである。

即ち、 $n$ 番目のアドレスを $Ab(n)$ 、記憶装置の行の数を $L$ 、列の数を $M$ 、ブロック番号 $b$ を0以上の整数、 $x$ を0以上 $b$ 以下の任意の整数とすると、

$$15 \quad Ab(n) = (Ab(n-1) + \alpha \times M^{**}(b-x)) \bmod (L \times M - 1) \dots (3)$$

$$\text{また、} REG = \alpha \times M^{**}(b-x) \bmod (L \times M - 1)$$

ただし、 $Ab(0) = 0$ 、 $\alpha$ は2以上の整数とする。また、 $**$ はべき乗を表わす。

従って、上述の例では $\alpha = 2$ として最初の書き込みの際に1つ飛ばしに書き込みを行っており、 $\alpha$ の値を適宜設定することにより、2つ飛ばし以上で書き込みを行うことも可能であるが、 $\alpha$ と $L \times M - 1$ の間に公約数が存在してはいけない。これは、 $\alpha$ と $L \times M - 1$ の間に公約数が存在すると、ブロック内のデータの最後のデータが常にアドレス $L \times M - 1$ に書き込まれるはずなのに、途中でアドレスが $L \times M - 1$ となってしまう、アドレスの生成規則が破綻するからである。  
20

また、 $\alpha$ が $M$ の $(-x)$ 乗に等しい場合も除く必要がある。この場合は従来例に一致し、さらなる回路規模の縮小や消費電力の低減が実現できないからである。

次にこのような書き込み読み出し動作を行うのに必要な、アドレス生成装置のアドレス生成動作について説明する。

第1図のアドレス生成装置は、式(3)より定義されたアドレス生成規則を実行

することにより、記憶装置 104 のアドレスを順次生成する。

- 即ち、第 1 図のアドレス生成装置は、 $(X+Y) \bmod Z = X \bmod Z + Y \bmod Z$  が成立することを利用し、式 (3) の  $(Ab(n-1) + \alpha \times M^{**}(b-x)) \bmod (L \times M - 1)$  における、 $\alpha \times M^{**}(b-x) \bmod (L \times M - 1)$  の
- 5 項の  $M$  のべき乗計算を、定数発生器 110、乗算器 111、レジスタ 113 により  $M$  の繰り返し乗算を行うことにより実行し、かつ、この項における  $\alpha$  の乗算と  $(L \times M - 1)$  による剰余計算を、オーバーフロー処理装置 140 により実行する。

- また、式 (3) の  $Ab(n-1) \bmod (L \times M - 1)$  の項の計算およびその初期値
- 10  $Ab(0) = 0$  の投入を、オーバーフロー処理装置 141 により実行する。

また、これら 2 つの項の剰余計算結果の加算を、加算器 115 により実行しているものである。

- セレクトア 121 には本オーバーフロー処理装置 140 の入力およびセレクトア 124 の出力が与えられるが、入力データがブロックの先頭に該当し、ブロックの
- 15 先頭入力データ同期信号 102 が入力されると、セレクトア 121 は乗算器 111 の出力を選択し、それ以外の場合はセレクトア 124 の出力を選択する。このセレクトア 121 の出力は比較器 123 により  $L \times M - 1$  と比較される。セレクトア 124 にはセレクトア 121 の出力から  $L \times M - 1$  を減算する減算器 122 の出力およびセレクトア 121 の出力が与えられるが、セレクトア 121 の出力が  $L \times M - 1$
- 20 以上である旨を比較器 123 が判定すると減算器 122 の出力を選択し、それ以外の場合はセレクトア 121 の出力を選択する。そしてこのセレクトア 124 の出力はレジスタ 113 に出力される。これにより、オーバーフロー処理装置 140 は入力が  $L \times M - 1$  を越えれば、 $L \times M - 1$  を繰り返し減算することにより、その値が  $L \times M - 1$  以下となるように制限する。

- 25 このようなオーバーフロー処理装置を設けることにより、アドレス生成装置の内部で乗算や加算を繰り返すことにより、数値が  $L \times M - 1$  以上に発散してゆくのを抑えている。

第 1 図のアドレス生成装置 103 において、定数発生器 118 は初期値「 $\alpha$ 」を発生し、これをレジスタ 113 に出力する。乗算器 111 はこのレジスタ 11

3 の出力と定数発生器 110 の出力「M」を乗算し、オーバフロー処理装置 140 に出力する。

- このオーバフロー処理装置 140 はその入力データが  $L \times M - 1$  を越えた場合、これが  $L \times M - 1$  以下になるまで内部のループにより「 $L \times M - 1$ 」を繰り返し減算し、
- 5 その結果をレジスタ 113 に出力する。このレジスタ 113 の出力は乗算器 111 により再び定数発生器 110 の出力「M」と乗算され、オーバフロー処理装置 140 に入力される。以上の動作を、入力データが  $L \times M$  個入力されるまで繰り返す。そして、入力データが  $L \times M$  個入力された時点でブロックの先頭入力データ同期信号 102 によりレジスタ 127 がレジスタ 113 の出力値に更新される。
- 10 る。

また、定数発生器 119 は初期値「0」を発生し、これをレジスタ 117 に出力する。加算器 115 はこのレジスタ 117 の出力とレジスタ 113 の出力を加算し、オーバフロー処理装置 141 に出力する。

- オーバフロー処理装置 141 はその入力データが  $L \times M - 1$  を越えた場合、これが  $L \times M - 1$  以下になるように「 $L \times M - 1$ 」を減算し、その結果をレジスタ 117 に
- 15 出力するが、加算器 115 の出力がオーバフロー処理装置 140 によって最大値  $L \times M - 1$  以下に抑えられており、かつ、オーバフロー処理装置 141 自身の出力も最大値  $L \times M - 1$  以下に抑えられるので、入力データが  $L \times M - 1$  を越えた場合に減算器 132 が減算を実行する回数は 1 度だけでよく、従って、オーバフロー処理装置 141 は内部にオーバフロー処理装置 140 のような帰還ループを有しておらず、オーバフロー処理装置 140 よりも回路規模が小さく、その分低消費電力となっている。
- 20

- レジスタ 117 は、入力データが  $L \times M$  個入力された時点でブロックの先頭入力データ同期信号 102 により初期値「0」にリセットされ、同期信号入力 106 により入力データ毎に更新される。
- 25

これにより、アドレス生成装置において、ブロック番号  $b$  の 0 番目のアドレス  $Ab(0)$  を 0 とし、ブロック番号  $b$  の  $n$  番目 ( $n$  は 0 以上の整数) のアドレス  $Ab(n)$  を、 $\alpha$  ( $\alpha$  は、2 以上の整数) と  $M$  の  $(b-x)$  乗 ( $x$  は 0 以上  $b$  以下の整数) の乗算結果と  $Ab(n-1)$  との和を  $L \times M - 1$  で割った剰余から生成することに

より、本実施の形態 1 の装置における記憶装置のアドレスの生成を実行しているものであり、乗算や加算を繰り返すことにより、アドレス生成装置内部で数値が  $L \times M - 1$  以上に発散してゆくのを、オーバーフロー処理装置を設けることによって、最大値  $L \times M - 1$  以下となるように抑えている。

- 5 第 4 図はこの第 1 図のブロックインタリーブ装置のタイミングチャートを示している。この第 4 図は、入力端子 116 からのクロック信号 CLK2、入力端子 106 からのクロック信号 CLK、入力端子 106 からのリセット信号 NRST、入力端子 102 からの信号 NBLOCKSYNC、入力端子 114 からのリセット信号 NRST、レジスタ 113 の出力信号、レジスタ 127 の出力信号、  
10 レジスタ 117 の出力信号、記憶装置 104 の制御信号 NWE、記憶装置 104 のデータ入力信号 DI、記憶装置 104 のデータ出力信号 DO について示している。

次にこの第 4 図を用いて第 1 図のブロックインタリーブ装置の動作を詳細に説明する。まず、入力端子 106 よりクロック信号 CLK が、また、入力端子 1  
15 16 よりその 2 倍の周波数のクロック信号 CLK2 が与えられているものとする。

時刻  $t_0$  では、入力端子 102 からの信号 NBLOCKSYNC がハイレベル (= 値 1 ; 以下、H と記す) であるので、セクタ 121 は、乗算器 111 の出力を選択せず、セクタ 124 の出力を選択する。セクタ 124 の出力値は不定であるが、これが  $L \times M - 1$  (この例では  $4 \times 5 - 1 = 19$ ) を越えていれば  
20 その値が  $L \times M - 1$  以下になるまでセクタ 124 は減算器 122 の出力を選択し続け、また、セクタ 124 の出力値が元々  $L \times M - 1$  以下であればセクタ 124 はセクタ 121 の出力を選択するので、セクタ 124 の出力は  $L \times M - 1$  以下の不定値となる。

25 また、この時刻  $t_0$  において、入力端子 114 からのリセット信号 NRST は H からロウレベル (= 値 0 ; 以下、L と記す) に変化しており、セクタ 126 はセクタ 124 の出力ではなく、定数発生器 118 からの定数  $\alpha$  (この例では値 2) を選択する。このセクタ 126 の出力はレジスタ 113 で 1 クロック CLK 分保持された後出力されるが、この時刻  $t_0$  では、レジスタ 113 の出力値

は不定のままである。

また、この時刻  $t_0$  ではNBLOCKSYNC信号がHのためセクタ128はレジスタ113の出力は選択せず、レジスタ127の出力を選択する。このセクタ128の出力はレジスタ127の入力に戻るので、レジスタ127の出力は不定のままである。

さらに、この時刻  $t_0$  ではセクタ130は定数発生器119の出力値0ではなく、セクタ134の出力を選択する。このセクタ134は加算器115の出力、あるいはこれが $L \times M - 1$ （この例では19）を越えていれば $L \times M - 1$ を減算した値、を選択するので、レジスタ117には、セクタ134の出力である不定値とレジスタ127の出力とを加算した不定値、あるいはこれより $L \times M - 1$ を減算した値が入力される。

次に、時刻  $t_1$  では、レジスタ113より値2が出力され、これが乗算器111によって定数発生器110からの定数 $M$ （＝値5）と乗算されるが、この時刻  $t_1$  では、セクタ121はこの乗算値10を選択しない。また、セクタ126は定数発生器118からの定数 $a$ （＝値2）を選択しており、これがレジスタ113に入力される。セクタ128およびセクタ130も時刻  $t_0$  におけるのと同様、それぞれレジスタ127出力およびセクタ134出力を選択している。これらの状態は、時刻  $t_2$  でも同様である。

次に、時刻  $t_3$  では、時刻  $t_2$  においてレジスタ113に入力された値2がレジスタ113より出力され、これと定数発生器110からの定数 $M$ （＝値5）との乗算値10がセクタ121で選択されるが、比較器123はこの乗算値10が $L \times M - 1$ （＝値19）よりも小さいと判定するため、セクタ124はこの乗算値10を選択する。またセクタ126もこのセクタ124からの乗算値10を選択するので、レジスタ113にはこの値10が入力される。

また、セクタ128はレジスタ113の出力値2を選択し、レジスタ127にはこの値2が入力される。

さらに、セクタ130は定数発生器119からの定数値0を選択し、レジスタ117にはこの値0が入力される。

次に、時刻  $t_4$  において、時刻  $t_3$  においてレジスタ113に入力された値1

0が出力され、乗算器111はこれと定数発生器110の出力値5を乗算するが、セクタ121はこの乗算値50は選択せず、セクタ124の出力値を選択するが、これは時刻t3において値10となっており、セクタ124はセクタ121からのこの値10を選択するので、この値10はセクタ121、124により構成されるループにより保持される。またセクタ126はセクタ124出力を選択するので、このレジスタ113はこの値10が入力される。

またセクタ128はレジスタ127の出力値2を選択し、これをセクタ127に入力する。加算器115はこのレジスタ127の出力値2とレジスタ117の出力値0とを加算し、セクタ134、130はこの加算値2を選択しレジスタ117に入力する。

また、レジスタ117の出力が値0となるので、これを記憶装置104のアドレスとして、制御信号（書き込みイネーブル信号）NWEのHのタイミングで記憶装置104から初期値（不定値）が読み出され、かつ時刻t3においてレジスタ129に入力されていたデータD0が制御信号（書き込みイネーブル信号）NWEのLのタイミングで記憶装置104に入力される。これらの状態は、時刻t5以降でも同様であるが、セクタ130がセクタ134の出力を選択し、レジスタ127の出力が値2を保持するので、加算器115の出力は、CLK信号が1回入力される毎に値2ずつ増加する。但し、これが値19以上になると、セクタ134は減算器132出力を選択しその値を19以下に抑える。

次に、時刻t23において、セクタ121が乗算器111の出力値50を選択すると、セクタ124は比較器123の判定により、減算器123の出力を選択し、値31（ $=50-19$ ）を出力する。セクタ126はこの値を選択し、レジスタ113に入力する。またセクタ128はレジスタ113の出力を選択し、この値10をレジスタ127に入力する。

加算器115はレジスタ127の出力値2とレジスタ117の出力値19を加算するが、この時刻t23においてセクタ119は加算器115の出力を選択せず、定数発生器119の出力値0を選択し、これをレジスタ117に入力する。

これら、時刻t4ないし時刻t23までの動作によって、第2(a)図に示すア

ドレスが発生される。また、記憶装置104からはこれらのアドレスから初期値(不定値)がクロックCLK毎に順次読み出され、これに代えてデータD0ないしD19が、これらのアドレスにクロックCLK毎に順次書き込まれる。

次に、時刻t24において、レジスタ113は値31を出力し、乗算器111  
5 は値155を出力するが、セクタ121はセクタ124の出力値31を選択する。セクタ124は比較器123の判定結果により減算器122の出力値12を選択し、セクタ126はこの値12をレジスタ113に入力する。

セクタ128はセクタ127の出力値10をセクタ127に入力するので、この値10は保持される。

10 また、加算器115はレジスタ127の出力値10とレジスタ117の出力値0とを加算し、セクタ134は比較器133の判定により、加算値10を選択し、レジスタ117に入力する。

次に、時刻t25において、レジスタ113は値12を出力し、乗算器111  
15 は値60を出力するが、セクタ121はセクタ124の出力値12を選択し、セクタ126はこの値12をレジスタ113に入力する。

セクタ128はセクタ127の出力値10をセクタ127に入力するので、この値10は保持される。

また、加算器115はレジスタ127の出力値10とレジスタ117の出力値  
20 10とを加算するが、セクタ134は比較器133の判定により、加算値20を選択せず、減算器132の出力値1を選択し、これをレジスタ117に入力する。

これらの状態は、時刻t26以降でも同様であるが、セクタ130がセクタ134の出力を選択し、レジスタ127の出力が値10を保持するので、加算器115の出力は、CLK信号が1回入力される毎に値10ずつ増加する。但し、  
25 これが値19以上になると、セクタ134は減算器132出力を選択しその値を19以下に抑え、これがレジスタ117を介して1クロックCLK後の記憶装置104にアドレスとして与えられる。

このため、時刻t24ないし時刻t43までの動作によって、第2(b)図に示すアドレスが発生される。また、記憶装置104からはこれらのアドレスから、

時刻  $t_4$  ないし  $t_{23}$  の期間に書き込まれていたデータ  $D_0$  ないし  $D_{19}$  がデータ  $D_{00}$  ないし  $D_{019}$  としてクロック  $CLK$  毎に順次読み出され、これに代えてデータ  $D_{20}$  ないし  $D_{39}$  が、これらのアドレスにクロック  $CLK$  毎に順次書き込まれる。

- 5      さらに、時刻  $t_{44}$  以後において、レジスタ  $113$  の出力はクロック  $CLK$  が 1 度入力する毎に減少し、値  $41 (=60-19)$ 、値  $22 (=41-19)$ 、値  $3 (=22-19)$  となって安定するが、レジスタ  $127$  は時刻  $t_{43}$  においてレジスタ  $113$  から出力された値  $12$  を保持するため、レジスタ  $117$  の出力はこの値  $12$  の整数倍の値  $19$  による剰余となる。
- 10      このため、時刻  $t_{44}$  ないし時刻  $t_{63}$  (図示せず) の動作によって、第 2 (c) 図に示すアドレスが発生される。また、記憶装置  $104$  からはこれらのアドレスから、時刻  $t_{24}$  ないし  $t_{43}$  の期間に書き込まれていたデータ  $D_{20}$  ないし  $D_{39}$  がデータ  $D_{020}$  ないし  $D_{039}$  (図示せず) としてクロック  $CLK$  毎に順次読み出され、これに代えてデータ  $D_{40}$  ないし  $D_{59}$  (図示せず) が、これら
- 15      のアドレスにクロック  $CLK$  毎に順次書き込まれる。

以後、同様の動作を繰り返すことにより、第 2 (a) 図ないし第 2 (j) 図に示されたアドレスを順次発生する。

- なお、式 (3) において、 $x$  の値を設定することにより、初期状態を第 2 (a) 図 以外のいずれかの状態に変更することもできるが、この場合も上述の処理を
- 20      繰り返すことにより、初期状態のブロックに戻り、以降の処理は同様の繰り返しとなる。

このように、本実施の形態 1 は 1 ブロックの記憶領域を持つ記憶装置でブロックインタリーブを行えるものであり、この点は従来例と同様であるが、本実施の形態 1 はさらにそのアドレス生成装置の回路面積を削減できるものである。

- 25      以下、この点につき説明する。

表 1 は本実施の形態 1 と同様の回路構成で従来例を構成した場合 (第 1 図において、定数発生器  $118$  の  $\alpha$  の値を 1 としたのが従来例であり、これを 2 以上とすれば本実施の形態 1 になる) に、レジスタ  $113$  の値の遷移を示したものである。



表 1

	1						
	2	-----					
	3	L= 4					
	4	M= 5					
	5	$\alpha = 1$					
	6	-----					
	7						
	8	val= 1 →	5				
5	9	val= 5 →	25	6			
	10	val= 6 →	30	11			
	11	val= 11 →	55	36	17		
	12	val= 17 →	85	66	47	28	9
	13	val= 9 →	45	26	7		
	14	val= 7 →	35	16			
	15	val= 16 →	80	61	42	23	4
	16	val= 4 →	20	1			
	17						
	18	overtime =	16				
	19	maxoverval =	85				
10	20	minoverval =	20				
	21	maxval =	17				
	22						
	23	-----					
	24	L= 4					
	25	M= 5					
	26	$\alpha = 2$					
	27	-----					
	28						
	29	val= 2 →	10				
	30	val= 10 →	50	31	12		
	31	val= 12 →	60	41	22	3	
15	32	val= 3 →	15				
	33	val= 15 →	75	56	37	18	
	34	val= 18 →	90	71	52	33	14
	35	val= 14 →	70	51	32	13	
	36	val= 13 →	65	46	27	8	
	37	val= 8 →	40	21	2		
	38						
	39	overtime =	20				
	40	maxoverval =	90				
	41	minoverval =	21				
	42	maxval =	18				

20

この表 1 は  $L=4$ 、 $M=5$ 、即ち 4 行 5 列のデータに対しブロックインタリーブを行う場合のレジスタ 1 1 3 の値の推移を示したものであり、表 1 中の val として示したのがレジスタ 1 1 3 の値であり、しきい値 19 ( $=5 \times 4 - 1$ ) を越える場合はオーバーフロー処理装置によってこのしきい値内に収まるように、順次値が減少するように処理されている。

また、overtime はレジスタ 1 1 3 の値がしきい値を越える回数、maxoverval はしきい値を越えるレジスタ 1 1 3 の値の最大値、minoverval はしきい値を越えるレジスタ 1 1 3 の値の最小値、maxval はレジスタ 1 1 3 の値の最大値である。

また、この表 1 の行 8 ないし行 16 は従来例 (行 5 で  $\alpha = 1$  と設定) における

レジスタ 1 1 3 の値の推移を示しており、行 2 9 ないし行 3 7 は本実施の形態 1 (行 2 6 で  $\alpha = 2$  と設定) におけるレジスタ 1 1 3 の値の推移を示している。

例えば、行 8 ではレジスタ 1 1 3 の値が、先ず値 1 が設定されていたのが、これが乗算器 1 1 0 によって値 5 と乗算された値 5 に設定し直され、次に、行 9 では、この値 5 が乗算器 1 1 0 によって値 5 と乗算された値 2 5 になるが、これがオーバーフロー処理装置 1 4 0 によって値 1 9 以下となるように、値 1 9 が減算されて値 6 となる様子が、示されている。

これらを対比することにより、従来例ではしきい値を越えるレジスタ 1 1 3 の値の最小値 minoverval が 2 0 ( $=L \times M$  の値、即ちしきい値 1 9 を越える最小の値) であるのに対し、本実施の形態 1 では 2 1、すなわち従来例よりも大きくなっていることが分かる。

また表 2 の行 3 ないし行 2 1 は  $L = 8$ 、 $M = 203$ 、即ち 8 行 203 列のデータに対しブロックインタリーブを行う場合のレジスタ 1 1 3 の値の計算結果を示したものであり、表 2 の行 8 ないし 1 1 が従来例のレジスタ 1 1 3 の値の計算結果を示したものである。また表 2 の行 1 8 ないし行 2 1 が本実施の形態 1 におけるレジスタ 1 1 3 の値の計算結果を示したものである。

	1	
	2	
表 2	3	-----
	4	L= 8
	5	M= 203
	6	$\alpha = 1$
20	7	-----
	8	overtime = 16362
	9	maxoverval = 325409
	10	minoverval = 1624
	11	maxval = 1603
	12	
	13	-----
	14	L= 8
	15	M= 203
	16	$\alpha = 20$
25	17	-----
	18	overtime = 19998
	19	maxoverval = 329266
	20	minoverval = 1643
	21	maxval = 1622
	22	

これらを対比することにより、従来例ではオーバーフロー処理装置 1 4 0 のしきい値を越えるレジスタ 1 1 3 の値の最小値 minoverval が 1 6 2 4 ( $=L \times M$  の

値、即ちしきい値1623を越える最小の値)であるのに対し、本実施の形態1では1643、すなわち従来例よりも大きくなっていることが分かる。

- 5      このように、本実施の形態1では、記憶装置に書き込み、読み出しを行う際の最初の書き込みにおいて、従来例ではアドレス通りに順次書き込みを行っているのに対し、1つ以上飛ばして書き込みを行うようにしており、この最初の書き込み順序が異なることにより、レジスタ113に保持される、しきい値を越える最小の値が従来例と同一かそれより大きくなる。

- 10     これにより、従来例ではオーバフロー処理装置において1624以上を比較する比較器が必要であったが、本実施の形態1では1643以上を比較する比較器  
10     でよい。ため比較器の構成、機能を簡略化できる。

このように、オーバフロー処理装置内の比較器で入力と比較すべきしきい値をL×Mよりも大きくできる場合は、比較器の回路規模を従来例より必ず小さくできる。

- 15     以下、この点を、8行203列のデータに対しブロックインタリーブを行う装置  
15     を例にとって説明する。

この場合、従来例の方式では、オーバフロー処理装置140内の比較器123は入力がL×M、即ち1624以上であることを判定しなければならない。

- 20     第5図は従来例の方式により8行203列のデータに対しブロックインタリーブを行う装置のオーバフロー処理装置における比較器の構成を示すものである。

第5図において、3311ないし3319および3321ないし3333はANDゲート、3336ないし3339および3350ないし3356はORゲートである。

- 25     次に動作について説明する。入力Iが1624以上である旨を判定するには、  
25     入力Iのビットパターンがこの1624を2進数に展開した011001011000以上であることを判定すればよい。そしてその際、入力Iの下位3ビットはその値が0であっても1であっても判定に支障はなく、これら下位3ビットが全て1の場合の入力値は1631になる。従って、入力値が1624である旨を判定する際に下位3ビットを入力しないことにより、入力値が1624～16

31である旨を判定することができる。

ANDゲート3311ないし3319はこうした原理により入力値が1624～1631である旨を判定するものであり、ANDゲート3311ないし3314により入力値の12ビット目ないし5ビット目のビットパターンが01100101100に一致する場合にそれぞれ1を出力する。ANDゲート3315および3316はこれら4つのANDゲート3311ないし3314の出力が全て1である場合にそれぞれ1を出力し、ANDゲート3317はANDゲート3315および3316の出力が全て1である場合に1を出力する。また、ANDゲート3318は入力値の4ビット目が1であり、かつANDゲート3316の出力が1である場合に1を出力する。さらに、ANDゲート3319はANDゲート3317および3318の出力が全て1である場合に1を出力する。従って、ANDゲート3319の出力が1の場合、入力値が1624～1631である旨が判明する。

同様に、ANDゲート3321ないし3326は入力値が1632～1663である旨を判定する。また、ANDゲート3327ないし3330は入力値が1664～1791である旨を判定する。また、ANDゲート3331ないし3333は入力値が1792～2047である旨を判定する。また、ORゲート3350ないし3356は入力値が2048～524287 (maxoverval が 325409 であるため 524287 まで判定する。) である旨を判定する。

従って、ORゲート3336ないし3339によりこれらの判定結果を束ねることにより、入力値が1624以上である旨を判定することができる。

このように、従来例では比較器は入力値がL×M、即ち1624以上であることを判定しなければならないが、表2の行1ないし行11及び表2の行13ないし行21の対比により、本実施の形態1では入力値が1643以上である旨を判定すればよい。

第6図は本実施の形態1のブロックインタリーブを行う装置のオーバーフロー処理装置における比較器の構成を示すものである。

第6図において、3321ないし3333はANDゲート、3340ないし3342および3350ないし3356はORゲートである。

この第6図では、本来入力が1643以上である旨を判定すべきであるが、この判定は、1632以上を判定する場合に含まれるため、この回路では、1632以上である旨を判定している。

まず、入力が1632～1663である旨をANDゲート3321ないし3326が判定する。また、入力が1664～1791である旨をANDゲート3327ないし3330が判定する。また、入力が1792～2047である旨をANDゲート3331ないし3333が判定する。また、入力が2048～524287 (maxoverval が329266 であるため524287 まで判定する。) である旨をORゲート3350ないし3356が判定する。

10 従って、ORゲート3340ないし3342によりこれらの判定結果を束ねることにより、入力値が1632以上、即ち1643以上である旨を判定することができる。

この第6図の回路はANDゲートが13個、ORゲートが10個必要であるが、従来例に対応する第5図の回路では、ANDゲートが22個、ORゲートが11個必要であり、この第6図の回路は、比較すべき対象が減った分、従来例よりも回路規模を縮小でき、省面積化が図れ、かつその分消費電力も低減することができる。

ところで、この $L=8$ 、 $M=203$ 、 $\alpha=20$ の場合は、BSデジタル放送における誤り訂正に用いて有効なものである。

20 即ち、BSデジタル放送の場合、リードソロモン復号器の訂正の対象となる1データセグメントは、データインタリーブ装置の内では203byteとなっており、送信側のブロックインタリーブ装置の列の数が203であれば、もっとも少ないインタリーブ装置の記憶容量でリードソロモン復号器の訂正能力を向上することが可能となる。また、行および列の数が増加するほど、連続したバースト誤り  
25 に対してのリードソロモン復号器の訂正能力が向上する。

なお、 $\alpha$ は $L \times M - 1$ との間に公約数が存在せず、 $M$ の $(-X)$ 乗に等しくなければ、2以上の任意の整数であってよいが、 $\alpha=20$ の場合がもっとも効果大きい。

また、以上の場合とは異なる原理により消費電力を低減できる場合がある。

以下、この場合について述べると、表3は $L=10$ 、 $M=8$ 、即ち10行8列のデータに対しブロックインタリーブを行う場合のレジスタ113の値の推移を、本実施の形態1と従来例の回路について対比して示したものである。

10	1										
	2	-----									
	3	L=	10								
	4	M=	8								
	5	$\alpha$ =	1								
	6	-----									
	7										
	8	val=	1 →	10							
	9	val=	10 →	100	21						
	10	val=	21 →	210	131	52					
11	val=	52 →	520	441	362	283	204	125	46		
12	val=	46 →	460	381	302	223	144	65			
13	val=	65 →	650	571	492	413	334	255	176	97	
14	val=	18 →	180	101	22						
15	val=	22 →	220	141	62						
16	val=	62 →	620	541	462	383	304	255	146	67	
17	val=	67 →	670	591	512	433	354	275	196	117	
18	val=	38 →	380	301	222	143	64				
19	val=	64 →	640	561	482	403	324	245	166	87	
20	val=	8 →	80	1							
21											
22	overtime	=	54								
23	maxoverval	=	670								
24	minoverval	=	80								
25	maxval	=	67								
26											
27	-----										
28	L=	10									
29	M=	8									
30	$\alpha$ =	4									
31	-----										
32											
33	val=	4 →	40								
34	val=	40 →	400	321	242	163	84	5			
35	val=	5 →	50								
36	val=	50 →	500	421	342	263	184	105	26		
37	val=	26 →	260	181	102	23					
38	val=	23 →	230	151	72						
39	val=	72 →	720	641	562	483	404	325	246	167	
40	val=	9 →	90	11							
41	val=	11 →	110	31							
42	val=	31 →	310	231	152	73					
43	val=	73 →	730	651	572	493	414	335	256	177	
44	val=	19 →	190	111	32						
45	val=	32 →	320	241	162	83	4				
46											
47	overtime	=	45								
48	maxoverval	=	730								
49	minoverval	=	83								
50	maxval	=	73								

この表3より明らかなように、従来例ではレジスタ113の値がしきい値を越える回数 overtime が54回であるのに対し、本実施の形態1ではこれが45回に減少しており、この overtime の減少により、オーバフロー処理装置140に

おける計算量が減少し、さらに従来方式ではオーバーフロー処理装置 141 のオーバーフロー回数が 474 回であったが、本実施の形態 1 では 395 回に減少することによりオーバーフロー処理装置 141 の計算量が減少する。

これらにより消費電力の減少が実現できる。

- 5      このように、本実施の形態 1 によるブロックインタリーブ装置は、ブロックインタリーブ装置出力を生成する  $L \times M$  データの記憶装置と前記記憶装置にアドレスを出力するアドレス生成装置と前記記憶装置へ制御信号を出力する記憶装置制御装置から構成され、アドレス生成装置において、ブロック番号  $b$  の 0 番目のアドレス  $Ab(0)$  を 0 とし、ブロック番号  $b$  の  $n$  番目 ( $n$  は 0 以上の整数)
- 10    のアドレス  $Ab(n)$  を、 $\alpha$  ( $\alpha$  は、2 以上の整数) と  $M$  の  $(b-x)$  乗 ( $x$  は 0 以上  $b$  以下の整数) の乗算結果と  $Ab(n-1)$  との加算結果を  $L \times M - 1$  で割った剰余から生成し、生成したアドレスに対して読み出し、書き込みを繰り返すことによりブロックインタリーブを行うようにしたので、記憶装置アドレス生成装置を最適化でき、最小限の回路面積により、ブロックインタリーブを行うことが可能となる。
- 15    また、ブロックの先頭アドレスと最終アドレスが常に一定であるので、これらに対し記憶装置内の連続した領域に割り当てることにより、2 データについて同時に処理することが可能となり、記憶装置のアクセス回数が低減し、アドレス生成装置の低消費電力化が可能となる。

- また、特に、 $L=8$ 、 $M=203$  のブロックインタリーブを行う場合、特表平 8-
- 20    511393 号公報記載の、従来のアドレス生成装置においては、ブロック番号  $b$  の 0 番目のアドレス  $Ab(0)$  を 0 とし、ブロック番号  $b$  の  $n$  番目 ( $n$  は 0 以上の整数) のアドレス  $Ab(n)$  を、 $M$  の  $(b-x)$  乗 ( $x$  は 0 以上  $b$  以下の整数) と  $Ab(n-1)$  との加算結果を  $L \times M - 1$  で割った剰余から生成する。この演算を繰り返していくと、剰余の対象となる値が無限に大きくなるため、回路で実現する場合、初期値
- 25    を  $M$  の  $(b-x-1)$  乗とし入力に  $M$  を乗算してオーバーフロー処理装置 1 (以下、剰余器 1 と称す) へ出力する乗算器と、入力を  $L \times M - 1$  で割った剰余を乗算器と加算器に出力する剰余器 1 と、 $Ab(n-1)$  と剰余器 1 の出力を加算してオーバーフロー処理装置 2 (以下、剰余器 2 と記す) へ出力する加算器と、入力を  $L \times M - 1$  で割った剰余を  $Ab(n)$  とする剰余器 2 とから構成されることになるが、剰余器 1 は

入力が  $L \times M - 1$  以下となるまで、 $L \times M - 1$  を減算するための、比較器と減算器から構成され、減算の対象となる最小の値は、『1624』となり、比較器は『1624』以上を判定する機能が必要となる。

しかしながら、本実施の形態 1 によるブロックインタリーブ装置において、 $\alpha$   
5  $= 20$ 、 $L = 8$ 、 $M = 203$  とすると、初期値を  $M$  の  $(b-x-1)$  乗に  $\alpha$  を乗算したものと  
し入力に  $M$  を乗算して剰余器 1 へ出力する乗算器と、入力を  $L \times M - 1$  で割った  
剰余を乗算器と加算器に出力する剰余器 1 と、 $Ab(n-1)$  と剰余器 1 の出力を  
加算して剰余器 2 へ出力する加算器と、入力を  $L \times M - 1$  で割った剰余を  $Ab(n)$  と  
10 する剰余器 2 とから構成され、剰余器 1 は入力が  $L \times M - 1$  以下となるまで、 $L \times$   
 $M - 1$  を減算するための、比較器と減算器から構成され、減算の対象となる最小の  
値は『1643』となり、比較器は、『1643』以上を判定する機能だけでよいことか  
ら、比較器の面積が低減し、最小限の回路面積でブロックインタリーブを行なう  
ことが可能となる。

なお、読み出しアドレスを  $Ab(n)$  とし、書き込みアドレスを  $Ab(n-t)$ 、  
15  $(t$  は  $L \times M - 2$  以下の自然数) とし、それぞれのアドレスに対し、1 時点ごとに、  
読み出しと書き込みを繰り返すことにより、ブロックインタリーブを実現するこ  
とも可能である。

また、 $Ab(0)$  を  $\beta$  とし ( $\beta$  は、 $L \times M - 1$  以下の自然数)、 $Ab(n)$  を、 $\alpha$  と  $M$   
の  $(b-x)$  乗の乗算結果と  $Ab(n-1)$  との加算結果を  $L \times M - 1$  で割った剰余からアド  
20 レスを生成することも可能である。

#### (実施の形態 2)

以下、本発明の実施の形態 2 について、図を用いて説明する。

本願発明によるブロックデインタリーブ装置およびブロックデインタリーブ  
方法について説明する。

25 本実施の形態 2 のブロックデインタリーブ装置およびブロックデインタリー  
ブ方法は、記憶装置のアドレス生成装置を最適化することにより、記憶装置の制  
御回路の面積あるいは消費電力をより低減できるようにしたものである。

第 7 図は本願発明の実施の形態 2 による、 $L \times M$  データのブロックデインタリー  
ブを行うブロックデインタリーブ装置を示すものである。第 7 図において、1



は本ブロックデインタリーブ装置によりブロックデインタリーブを行うべき入力データの入力端子、2はこのブロックデインタリーブを行うべき入力データのブロックの先頭入力データ毎に同期して入力され、値0でアクティブとなる先頭入力データ同期信号(NBLOCKSYNC信号)の入力端子、14は値0で本  
5 ブロックデインタリーブ装置を初期状態にリセットするリセット信号(NRST信号)の入力端子、6は各入力データ毎に発生する同期信号の入力端子、16は各入力データ毎に発生する同期信号(クロック信号CLK)の2倍の周波数のクロック信号CLK2の入力端子、12は同期信号入力端子6から入力される同期信号に応じて記憶装置4を制御する制御装置であり、アドレス生成手段により  
10 生成されたアドレスを用いて、記憶手段がデータの書き込みおよび読み出しを切り替えて行う制御手段に相当する。3は入力端子6から入力される同期信号(CLK信号)、入力端子2から入力される先頭入力データ同期信号(NBLOCKSYNC信号)および入力端子14から入力されるリセット信号(NRST信号)に基づいて記憶装置4のアドレスを生成するアドレス生成装置であり、記憶手段  
15 に対し、ブロックデインタリーブすべき(L×M)個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成するアドレス生成手段に相当する。20はこのアドレス生成装置3が生成したアドレスを出力する出力端子、4は記憶装置(記憶手段)であり、(L×M)個のアドレスが割り当てられ、制御装置12の制御により、アドレス生成装置3により生成されたアドレスに入力端子1  
20 からの入力データを書き込み、これを読み出すことによりブロックデインタリーブを行うものである。また、ADは記憶装置4のアドレス入力端子、DIは記憶装置4のデータ入力端子、NWEは記憶装置4のライトイネーブル入力端子であり、値0が入力されると記憶装置4が書き込みモードになる。DOは記憶装置4のデータ出力端子であり、これは本ブロックデインタリーブ装置の出力端子でもある。  
25 5は本ブロックデインタリーブ装置によりデインタリーブされたデータを出力する出力端子である。CLK2はこの記憶装置4用のクロック入力端子であり、クロック信号入力端子16から、クロック信号CLKの2倍のクロック信号が入力される。

また、第7図のアドレス生成装置3において、10は定数Lを発生する定数発

生器、13は初期値 $\alpha$ が初期設定されるレジスタ、11はこの定数 $L$ とレジスタ13の出力信号とを乗算する乗算器であり、ブロック番号 $b$ のブロックが入力される毎に、 $\alpha$  ( $\alpha$ は2以上の整数)と $L$ の $(b-x)$ 乗 ( $x$ は0以上 $b$ 以下の整数、 $b$ は0以上の整数)との乗算結果を生成する乗算手段に相当する。40はこの乗算器11の出力がオーバーフローした場合の処理を行うオーバーフロー処理装置であり、上記乗算手段による乗算結果と比較基準値 $L \times M - 1$ との大小を比較する第1の比較手段を有し、その比較結果に基づき上記乗算結果より可能な限り上記 $L \times M - 1$ を減算して上記乗算結果のオーバーフローを抑えることにより上記ブロック番号 $b$ のブロックに対するアドレスの増分値 $REG$ を出力する第1のオーバーフロー処理手段に相当する。21は入力端子2からのNBLOCKSYNC信号を制御信号とし乗算器11の出力信号またはセクタ24の出力信号のいずれかを選択するスイッチ(第2のセクタ)、22はこのセクタ21の出力信号から( $L \times M - 1$ )を減算する減算器(第2の減算手段)、23はこのセクタ21の出力信号と( $L \times M - 1$ )との大小を比較する比較器(第2の比較手段)、24はこの比較器23の出力信号を制御信号として減算器22の出力信号またはセクタ21の出力信号のいずれかを選択するスイッチ(第3のセクタ)、18は初期値 $\alpha$ を発生する定数発生器(第1の定数発生手段)、26は入力端子14からのNRST信号を制御信号とし、定数発生器18の出力信号またはセクタ24の出力信号のいずれかを選択してレジスタ(アドレス増分値記憶手段)13に出力するスイッチ(第1のセクタ)、28はNBLOCKSYNC信号を制御信号とし、レジスタ13の出力信号またはレジスタ27の出力信号のいずれかを選択するスイッチ(セクタ)、27はこのセクタ28の出力信号を入力とするレジスタである。

また、15はこのレジスタ27の出力信号とレジスタ17の出力信号とを加算する加算器であり、ブロック番号 $b$ のブロックが入力される毎に、上記第1のオーバーフロー処理手段により出力されるアドレスの増分値 $REG$ に対し、上記ブロック番号 $b$ の $n-1$ 番目 ( $n$ は1以上 $L \times M - 1$ 以下の整数)のアドレス $Ab(n-1)$ を順次加算することにより上記ブロック番号 $b$ のブロック内の $n$ 番目のアドレス $Ab(n)$ を順次生成する加算手段に相当する。41はこの加算器15の出力がオー

オーバーフローした場合の処理を行うオーバーフロー処理装置であり、上記加算手段による加算結果と比較基準値  $L \times M - 1$  との大小を比較する第2の比較手段を有し、その比較結果に基づき上記加算結果より可能な限り上記  $L \times M - 1$  を減算して上記加算結果のオーバーフローを抑えることにより上記記憶手段に対し実際に供給するアドレスを出力する第2のオーバーフロー処理手段に相当する。32は加算器15の出力信号から  $(L \times M - 1)$  を減算する減算器（第2の減算手段）、33はこの加算器15の出力信号と  $(L \times M - 1)$  との大小を比較する比較器（第2の比較手段）、34はこの比較器33の出力信号を制御信号として加算器15の出力信号または減算器32の出力信号のいずれかを選択するスイッチ（第5のセクタ）、19は初期値0を発生する定数発生器、30はNBLOCKSYN-C信号を制御信号とし、定数発生器19の出力信号またはセクタ34の出力信号のいずれかを選択するスイッチ（第4のセクタ）である。

また、17はこのオーバーフロー処理装置41の出力がセットされるレジスタ（アドレス記憶手段）、29はデータ入力端子1からのデータを保持し記憶装置4に出力するレジスタであり、レジスタ13、27、17、29はいずれも入力データに同期したクロック信号CLKの立ち上がりで保持するデータを更新する。

第8図は本実施の形態2によるブロックデインタリーブ装置の動作を模式的に示すものであり、4行5列のデータに対し、ブロックデインタリーブを行う場合を例にとって示している。

この実施の形態2によるブロックデインタリーブ装置は、以下のようなブロックデインタリーブ方法によりデータのブロックデインタリーブを行うものである。

即ち、この方法は、 $(L \times M)$  個のアドレス（ $L$ 、 $M$ は2以上の整数）が割り当てられた記憶手段に対し、ブロックデインタリーブすべき  $(L \times M)$  個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成し、該生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行うことによりデータのブロックデインタリーブを行う方法において、ブロック番号0のブロックに対しアドレスの

- 増分値 REG として  $\alpha$  ( $\alpha$  は 2 以上の整数) を与え、以後ブロック番号が 1 増すごとに増分値 REG に L を乗算したものを当該ブロックのアドレスの増分値 REG とする際、アドレスの増分値 REG が  $L \times M - 1$  を越えた場合、当該増分値 REG に代えて  $L \times M - 1$  による剰余を当該増分値として上記の処理を繰り返すこと
- 5 により、 $\alpha \times L \times (b - x) \bmod (L \times M - 1)$  に相当する演算 ( $\times$  はべき乗、 $\bmod$  は剰余、 $x$  は 0 以上  $b$  以下の整数) を行つて、各ブロック毎のアドレスの増分値を求め、各ブロックにおいて、アドレスの初期値として  $Ab(0)$  を設定し、以後当該ブロックのアドレスの増分値 REG を順次加算することにより当該ブロック内の各アドレス  $Ab(1)$  ないし  $Ab(n)$  ( $n$  は 1 以上  $L \times M - 1$  以下
- 10 下の整数) を生成する際、アドレスが  $L \times M - 1$  を越えた場合当該アドレスに代えて  $L \times M - 1$  による剰余を当該アドレスとして上記の処理を繰り返し、各ブロック内のアドレスを生成することにより、上記アドレス生成を実行し、かつ、上記アドレスの増分値を計算する際の剰余を求めるか否かの判定を、上記アドレスの増分値と上記  $L \times M - 1$  との大小比較で判定する際、上
- 15 記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値 A を上記比較基準値として使用し、大小比較を行う第 1 の比較手段を使用して行う、という方法によりブロックデインタリーブを行うものである。

次に第 7 図の動作について、第 8 図に示した、4 行 5 列のデータに対し、ブロックデインタリーブを行う場合を例にとって説明する。

- 20 第 8 図に示すように、本実施の形態 2 によるブロックデインタリーブ装置は、入力端子 1 から入力されるデータを  $L \times M$  データの記憶装置 4 に書き込み、この  $L \times M$  データの記憶装置 4 からデータを読み出すことによりブロックデインタリーブを行うものであり、その際、第 8 図に示すような順序で書き込み、読み出しを行うように、制御装置 12 が前記記憶装置 4 へ制御信号を出力することにより
- 25 その書き込み、読み出し制御を行い、かつアドレス生成装置 3 がその書き込み、読み出しの際のアドレスを生成し、これを前記記憶装置 4 に出力することにより、1 ブロックの記憶領域を持つ記憶装置 1 面でブロックデインタリーブされた出力 5 を生成できるものである。

この装置は、ブロックデインタリーブ装置の記憶装置 4 のアドレスが第 13

(k)図のように割り当てられているとすると、まず、第8(a)図のようにREGを2とし、第13(k)図のアドレス0を初期値とし1入力データ毎に2ずつ増加する書き込みアドレスを順次生成する。その際、書き込みアドレスが19( $=4 \times 5 - 1$ )を越えるとこの19による剰余をアドレスとして使用する。従って、

5 例えば、第13(k)図におけるアドレス2に相当するアドレスには、第8(a)図ではアドレス1が割り当てられる。そして、この生成規則に従って生成した書き込みアドレスに従い、データを書き込みを、ブロック内の全てのアドレスにアクセスが完了する迄行なう。

即ち、第13(k)図の従来方式では書き込みアドレスが増加する順に従って

10  $0 \rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow 19$ の順でデータを順次書き込んでいたものが、本実施の形態2ではこれを1つ飛ばしに書き込んでゆくものである。

次に、第8(b)図に示されているように、REGに4を乗じ、第13(k)図におけるアドレスの並びを基準として、第13(k)図のアドレス0を初期値とし、1入力データ毎にアドレスが8( $=2 \times 4$ )ずつ増加するアドレスを順次生成するが、その際、アドレスが19( $=4 \times 5 - 1$ )を越えるとこの19による剰余をアドレスとして使用する。

15

そして、第8(b)図において、この生成規則に従って生成したアドレスに従い読み出しを行い、この読み出しを行ったのと同じ順で同じアドレスに対し書き込みを行う。なお、この読み出しおよび書き込みは、ブロック内の全てのアドレス

20 にアクセスが完了する迄行なう。

次に、第8(c)図に示されているように、このREGに対し4を乗じるが、その値が19を越えているのでこの19による剰余13を求め、これをREGの値として使用する。

そして、第13(k)図に示されているアドレスの並びを基準とし、そのアドレス0を初期値として、1入力データ毎に13ずつ増加するアドレスを順次生成し、アドレスが19( $=4 \times 5 - 1$ )を越えるとこの19による剰余を求め、これをアドレスとして使用する。

25

そして、この生成規則に従って生成したアドレスに従い読み出しを行い、この読み出しを行ったのと同じ順で同じアドレスに対し書き込みを行う。なお、読み

出しおよび書き込みは、ブロック内の全てのアドレスにアクセスが完了する迄行なう。

以下、同様の処理を繰り返すことにより、順次異なるアドレスの順で読み出し、書き込みを行ってゆけば、この例では第8(j)図の時点において、第8(a)図と同

5 様のアドレスの順に戻る。

このような手順を繰り返すことにより、第9図に示すように、1ブロックの記憶領域を持つ記憶装置1面を用いてブロックデインタリーブを行うことを可能としている。これは制御装置12による書き込み読み出し制御、およびアドレス生成装置3により生成する記憶装置4のアドレスを上述のように工夫すること

10 により実現しているものであり、これに加えて、本実施の形態2ではアドレス生成装置の回路面積や消費電力の低減が可能になっているものである。

この実施の形態2におけるアドレス生成規則は以下の通りである。

即ち、 $n$ 番目のアドレスを $Ab(n)$ 、記憶装置の行の数を $L$ 、列の数を $M$ 、ブロック番号 $b$ を0以上の整数、 $x$ を0以上 $b$ 以下の任意の整数とすると、

15 
$$Ab(n) = (Ab(n-1) + \alpha \times L \times (b-x)) \bmod (L \times M - 1) \dots (4)$$

また、 $REG = \alpha \times L \times (b-x) \bmod (L \times M - 1)$

ただし、 $Ab(0) = 0$ 、 $\alpha$ は2以上の整数とする。また、 $\times$ はべき乗を表わす。

従って、上述の例では $\alpha = 2$ として最初の書き込みの際に1つ飛ばしに書き込みを行っており、 $\alpha$ の値を適宜設定することにより、2つ飛ばし以上で書き込みを行うことも可能であるが、 $\alpha$ と $L \times M - 1$ の間に公約数が存在してはいけない。これは、 $\alpha$ と $L \times M - 1$ の間に公約数が存在すると、ブロック内のデータの最後のデータが常にアドレス $L \times M - 1$ に書き込まれるはずなのに、途中でアドレスが $L \times M - 1$ となってしまう、アドレスの生成規則が破綻するからである。

25 また、 $\alpha$ が $L$ の $(-X)$ 乗に等しい場合も除く必要がある。この場合は従来例に一致し、さらなる回路規模の縮小や消費電力の低減が実現できないからである。

次にこのような書き込み読み出し動作を行うのに必要な、アドレス生成装置のアドレス生成動作について説明する。

第7図のアドレス生成装置は、式(4)より定義されたアドレス生成規則を実行

することにより、記憶装置 4 のアドレスを順次生成する。

- 即ち、第 7 図のアドレス生成装置は、 $(X+Y) \bmod Z = X \bmod Z + Y \bmod Z$  が成立することを利用し、式(4)の  $(Ab(n-1) + \alpha \times L \times (b-x)) \bmod (L \times M - 1)$  における、 $\alpha \times L \times (b-x) \bmod (L \times M - 1)$  の
- 5 項の  $L$  のべき乗計算を、定数発生器 10、乗算器 11、レジスタ 13 により  $L$  の繰り返し乗算を行うことにより実行し、かつ、この項における  $\alpha$  の乗算と  $(L \times M - 1)$  による剰余計算を、オーバーフロー処理装置 40 により実行する。

また、式(4)の  $Ab(n-1) \bmod (L \times M - 1)$  の項の計算およびその初期値  $Ab(0) = 0$  の投入を、オーバーフロー処理装置 41 により実行する。

- 10 また、これら 2 つの項の剰余計算結果の加算を、加算器 15 により実行しているものである。

- セクタ 21 にはオーバーフロー処理装置 40 の入力およびセクタ 24 の出力が与えられるが、入力データがブロックの先頭に該当し、ブロックの先頭入力データ同期信号 2 が入力されると、セクタ 21 は乗算器 11 の出力を選択し、
- 15 それ以外の場合はセクタ 24 の出力を選択する。このセクタ 21 の出力は比較器 23 により  $L \times M - 1$  と比較される。セクタ 24 にはセクタ 21 の出力から  $L \times M - 1$  を減算する減算器 22 の出力およびセクタ 21 の出力が与えられるが、セクタ 21 の出力が  $L \times M - 1$  以上である旨を比較器 23 が判定すると減算器 22 の出力を選択し、それ以外の場合はセクタ 21 の出力を選択する。
- 20 そしてこのセクタ 24 の出力はレジスタ 13 に出力される。これにより、オーバーフロー処理装置 40 は入力が  $L \times M - 1$  を越えれば、 $L \times M - 1$  を繰り返し減算することにより、その値が  $L \times M - 1$  以下となるように制限する。

- このようなオーバーフロー処理装置を設けることにより、アドレス生成装置の内部で乗算や加算を繰り返すことにより、数値が  $L \times M - 1$  以上に発散してゆくのを抑えている。
- 25

第 7 図のアドレス生成装置 3 において、定数発生器 18 は初期値「 $\alpha$ 」を発生し、これをレジスタ 13 に出力する。乗算器 11 はこのレジスタ 13 の出力と定数発生器 10 の出力「 $L$ 」を乗算し、オーバーフロー処理装置 40 に出力する。

このオーバーフロー処理装置 40 はその入力データが  $L \times M - 1$  を越えた場合、こ

- れが  $L \times M - 1$  以下になるまで内部のループにより「 $L \times M - 1$ 」を繰り返し減算し、その結果をレジスタ 13 に出力する。このレジスタ 13 の出力は乗算器 11 により再び定数発生器 10 の出力「 $L$ 」と乗算され、オーバフロー処理装置 40 に入力される。以上の動作を、入力データが  $L \times M$  個入力されるまで繰り返す。そして、
- 5 入力データが  $L \times M$  個入力された時点でブロックの先頭入力データ同期信号 2 によりレジスタ 27 がレジスタ 13 の出力値に更新される。

また、定数発生器 19 は初期値「0」を発生し、これをレジスタ 17 に出力する。加算器 15 はこのレジスタ 17 の出力とレジスタ 13 の出力を加算し、オーバフロー処理装置 41 に出力する。

- 10 オーバフロー処理装置 41 はその入力データが  $L \times M - 1$  を越えた場合、これが  $L \times M - 1$  以下になるように「 $L \times M - 1$ 」を減算し、その結果をレジスタ 17 に出力するが、加算器 15 の出力がオーバフロー処理装置 40 によって最大値  $L \times M - 1$  以下に抑えられており、かつ、オーバフロー処理装置 41 自身の出力も最大値  $L \times M - 1$  以下に抑えられるので、入力データが  $L \times M - 1$  を越えた場合に減算器 32 が減算を実行する回数は 1 度だけでよく、従って、オーバフロー処理装置 41 は内部
- 15 にオーバフロー処理装置 40 のような帰還ループを有しておらず、オーバフロー処理装置 40 よりも回路規模が小さく、その分低消費電力となっている。

- レジスタ 17 は、入力データが  $L \times M$  個入力された時点でブロックの先頭入力データ同期信号 2 により初期値「0」にリセットされ、同期信号入力 6 により入
- 20 カデータ毎に更新される。

- これにより、アドレス生成装置において、ブロック番号  $b$  の 0 番目のアドレス  $Ab(0)$  を 0 とし、ブロック番号  $b$  の  $n$  番目 ( $n$  は 0 以上の整数) のアドレス  $Ab(n)$  を、 $\alpha$  ( $\alpha$  は、2 以上の整数) と  $L$  の  $(b-x)$  乗 ( $x$  は 0 以上  $b$  以下の整数) の乗算結果と  $Ab(n-1)$  との和を  $L \times M - 1$  で割った剰余から生成することにより、本実施の形態 2 の装置における記憶装置のアドレスの生成を実行している
- 25 ものであり、乗算や加算を繰り返すことにより、アドレス生成装置内部で数値が  $L \times M - 1$  以上に発散してゆくのを、オーバフロー処理装置を設けることによって、最大値  $L \times M - 1$  以下となるように抑えている。

第 10 図はこの第 7 図のブロックディンタリーブ装置のタイミングチャート



を示している。この第10図は、入力端子16からのクロック信号CLK2、入力端子6からのクロック信号CLK、入力端子6からのリセット信号NRST、入力端子2からの信号NBLOCKSYNC、入力端子14からのリセット信号NRST、レジスタ13の出力信号、レジスタ27の出力信号、レジスタ17の出力信号、記憶装置4の制御信号NWE、記憶装置4のデータ入力信号DI、記憶装置4のデータ出力信号DOについて示している。

次にこの第10図を用いて第7図のブロックデインタリーブ装置の動作を詳細に説明する。まず、入力端子6よりクロック信号CLKが、また、入力端子16よりその2倍の周波数のクロック信号CLK2が与えられているものとする。

10 時刻 $t_0$ では、入力端子2からの信号NBLOCKSYNCがハイレベル(=値1;以下、Hと記す)であるので、セクタ2-1は、乗算器1-1の出力を選択せず、セクタ2-4の出力を選択する。セクタ2-4の出力値は不定であるが、これが $L \times M - 1$  (この例では $4 \times 5 - 1 = 19$ )を越えていればその値が $L \times M - 1$ 以下になるまでセクタ2-4は減算器2-2の出力を選択し続け、また、セクタ2-4の出力値が元々 $L \times M - 1$ 以下であればセクタ2-4はセクタ2-1の出力を選択するので、セクタ2-4の出力は $L \times M - 1$ 以下の不定値となる。

15 また、この時刻 $t_0$ において、入力端子14からのリセット信号NRSTはHからロウレベル(=値0;以下、Lと記す)に変化しており、セクタ2-6はセクタ2-4の出力ではなく、定数発生器1-8からの定数 $\alpha$  (この例では値2)を選択する。このセクタ2-6の出力はレジスタ1-3で1クロックCLK分保持された後出力されるが、この時刻 $t_0$ では、レジスタ1-3の出力値は不定のままである。

また、この時刻 $t_0$ ではNBLOCKSYNC信号がHのためセクタ2-8はレジスタ1-3の出力は選択せず、レジスタ2-7の出力を選択する。このセクタ2-8の出力はレジスタ2-7の入力に戻るので、レジスタ2-7の出力は不定のままである。

さらに、この時刻 $t_0$ ではセクタ3-0は定数発生器1-9の出力値0ではなく、セクタ3-4の出力を選択する。このセクタ3-4は加算器1-5の出力、あるいはこれが $L \times M - 1$  (この例では19)を越えていれば $L \times M - 1$ を減算した値

を出力するので、レジスタ 17 には、セクタ 34 の出力である不定値とレジスタ 27 の出力とを加算した不定値、あるいはこれより  $L \times M - 1$  を減算した値が入力される。

次に、時刻  $t_1$  では、レジスタ 13 より値 2 が出力され、これが乗算器 11 に  
5 よって定数発生器 10 からの定数  $L$  (=値 4) と乗算されるが、この時刻  $t_1$  では、セクタ 21 はこの乗算値 8 を選択しない。また、セクタ 26 は定数発生器 18 からの定数  $\alpha$  (=値 2) を選択しており、これがレジスタ 13 に入力される。セクタ 28 およびセクタ 30 も時刻  $t_0$  におけるのと同様、それぞれレジスタ 27 出力およびセクタ 34 出力を選択している。これらの状態は、時刻  
10  $t_2$  でも同様である。

次に、時刻  $t_3$  では、時刻  $t_2$  においてレジスタ 13 に入力された値 2 がレジスタ 13 より出力され、これと定数発生器 10 からの定数  $L$  (=値 4) との乗算値 8 がセクタ 21 で選択されるが、比較器 23 はこの乗算値 8 が  $L \times M - 1$  (=値 19) よりも小さいと判定するため、セクタ 24 はこの乗算値 8 を選択  
15 する。またセクタ 26 もこのセクタ 24 からの乗算値 8 を選択するので、レジスタ 13 にはこの値 8 が入力される。

また、セクタ 28 はレジスタ 13 の出力値 2 を選択し、レジスタ 27 にはこの値 2 が入力される。

さらに、セクタ 30 は定数発生器 19 からの定数値 0 を選択し、レジスタ 1  
20 7 にはこの値 0 が入力される。

次に、時刻  $t_4$  において、時刻  $t_3$  においてレジスタ 13 に入力された値 8 が出力され、乗算器 11 はこれと定数発生器 10 の出力値 4 を乗算するが、セクタ 21 はこの乗算値 32 は選択せず、セクタ 24 の出力値を選択するが、これは時刻  $t_3$  において値 8 となっており、セクタ 24 はセクタ 21 からのこの  
25 値 8 を選択するので、この値 8 はセクタ 21, 24 により構成されるループにより保持される。またセクタ 26 はセクタ 24 出力を選択するので、このレジスタ 13 はこの値 8 が入力される。

またセクタ 28 はレジスタ 27 の出力値 2 を選択し、これをセクタ 27 に入力する。加算器 15 はこのレジスタ 27 の出力値 2 とレジスタ 17 の出力値 0

とを加算し、セクタ34、30はこの加算値2を選択しレジスタ17に入力する。

また、レジスタ17の出力が値0となるので、これを記憶装置4のアドレスとして、制御信号（書き込みイネーブル信号）NWEのHのタイミングで記憶装置  
5 4から初期値（不定値）が読み出され、かつ、時刻13においてレジスタ29に入力されていたデータD0が制御信号（書き込みイネーブル信号）NWEのLのタイミングで記憶装置4に入力される。これらの状態は、時刻15以降でも同様であるが、セクタ30がセクタ34の出力を選択し、レジスタ27の出力が値2を保持するので、加算器15の出力は、CLK信号が1回入力される毎に値  
10 2ずつ増加する。但し、これが値19以上になろうとすると、セクタ34は減算器32出力を選択しその値を19以下に抑える。

次に、時刻t23において、セクタ21が乗算器11の出力値32を選択すると、セクタ24は比較器23の判定により、減算器23の出力を選択し、値13（ $= 32 - 19$ ）を出力する。セクタ26はこの値を選択し、レジスタ1  
15 3に入力する。またセクタ28はレジスタ13の出力を選択し、この値8をレジスタ27に入力する。

加算器15はレジスタ27の出力値2とレジスタ17の出力値19を加算するが、この時刻t23においてセクタ30は加算器15の出力を選択せず、定数発生器19の出力値0を選択し、これをレジスタ17に入力する。

20 これら、時刻14ないし時刻t23までの動作によって、第8(a)図に示すアドレスが発生される。また、記憶装置4からはこれらのアドレスから初期値（不定値）がクロックCLK毎に順次読み出され、これに代えてデータD0ないしD19が、これらのアドレスにクロックCLK毎に順次書き込まれる。

次に、時刻t24において、レジスタ13は値13を出力し、乗算器11は値  
25 52を出力するが、セクタ21はセクタ24の出力値13を選択する。セクタ24は比較器23の判定結果によりセクタ21の出力値13を選択し、セクタ26はこの値13をレジスタ13に入力する。

セクタ28はセクタ27の出力値13をセクタ27に入力するので、この値13は保持される。

これらの状態は、時刻  $t_{25}$  以降でも同様であるが、セクタ 30 がセクタ 34 の出力を選択し、レジスタ 27 の出力が値 8 を保持するので、加算器 15 の出力は、CLK 信号が 1 回入力される毎に値 10 ずつ増加する。但し、これが値 19 以上になろうとすると、セクタ 34 は減算器 32 出力を選択しその値を 19 以下に抑え、これがレジスタ 17 を介して 1 クロック CLK 後の記憶装置 4 にアドレスとして与えられる。

このため、時刻  $t_{24}$  ないし時刻  $t_{43}$  までの動作によって、第 8 (b) 図に示すアドレスが発生される。また、記憶装置 4 からはこれらのアドレスから、時刻  $t_{44}$  ないし  $t_{23}$  の期間に書き込まれていたデータ  $D_0$  ないし  $D_{19}$  がデータ  $D_{00}$  ないし  $D_{019}$  としてクロック CLK 毎に順次読み出され、これに代えてデータ  $D_{20}$  ないし  $D_{39}$  が、これらのアドレスにクロック CLK 毎に順次書き込まれる。

さらに、時刻  $t_{44}$  以後において、レジスタ 13 の出力 1 はクロック CLK が 1 度入力する毎に減少し、値 33 ( $= 52 - 19$ )、値 14 ( $= 33 - 19$ ) となって安定するが、レジスタ 27 は時刻  $t_{43}$  においてレジスタ 13 から出力された値 13 を保持するため、レジスタ 17 の出力はこの値 13 の正整数倍の値 19 による剰余となる。

このため、時刻  $t_{44}$  ないし時刻  $t_{63}$  (図示せず) の動作によって、第 8 (c) 図に示すアドレスが発生される。また、記憶装置 4 からはこれらのアドレスから、時刻  $t_{24}$  ないし  $t_{43}$  の期間に書き込まれていたデータ  $D_{20}$  ないし  $D_{39}$  がデータ  $D_{020}$  ないし  $D_{039}$  (図示せず) としてクロック CLK 毎に順次読み出され、これに代えてデータ  $D_{40}$  ないし  $D_{59}$  (図示せず) が、これらのアドレスにクロック CLK 毎に順次書き込まれる。

以後、同様の動作を繰り返すことにより、第 8 (a) 図ないし第 8 (j) 図に示されたアドレスを順次発生する。

なお、式 (4) において、 $x$  の値を設定することにより、初期状態を第 8 (a) 図以外のいずれかの状態に変更することもできるが、この場合も上述の処理を繰り返すことにより、初期状態のブロックに戻り、以降の処理は同様の繰り返しとなる。

このように、本実施の形態 2 は 1 ブロックの記憶領域を持つ記憶装置でブロックデインタリーブを行えるものであり、この点は従来例と同様であるが、本実施の形態 2 はさらにそのアドレス生成装置の回路面積を削減できるものである。

以下、この点につき説明する。

- 5 表 4 の行 1 ないし行 2 1 は  $L=8$ 、 $M=203$ 、即ち 8 行 203 列のデータに対しブロックデインタリーブを行う場合のレジスタ 13 の値の計算結果を示したものであり、表 4 の行 8 ないし 11 が従来例のレジスタ 13 の値の計算結果を示したものである。また表 4 の行 18 ないし行 21 が本実施の形態 2 におけるレジスタ 13 の値の計算結果を示したものである。

10	1	
	2	
	3	-----
	4	$L= 8$
	5	$M= 203$
	6	$\alpha= 1$
	7	-----
	8	overtime = 567
	9	maxoverval = 12824
	10	minoverval = 1624
15	11	maxval = 1603
	12	
	13	-----
	14	$L= 8$
	15	$M= 203$
	16	$\alpha= 20$
	17	-----
	18	overtime = 693
	19	maxoverval = 12967
	20	minoverval = 1643
20	21	maxval = 1622
	22	

これらを対比することにより、従来例ではオーバフロー処理装置 40 のしきい値を越えるレジスタ 13 の値の最小値 minoverval が 1624 ( $=L \times M$  の値、即ちしきい値 1623 を越える最小の値) であるのに対し、本実施の形態 2 では 1643、すなわち従来例よりも大きくなっていることが分かる。

- 25 このように、本実施の形態 2 では、記憶装置に書き込み、読み出しを行う際の最初の書き込みにおいて、従来例ではアドレス通りに順次書き込みを行っているのに対し、1 つ以上飛ばして書き込みを行うようにしており、この最初の書き込み順序が異なることにより、レジスタ 13 に保持される、しきい値を越える最小の値が従来例と同一かそれより大きくなる。

これにより、従来例では1624以上を比較する比較器が必要であったが、本実施の形態1では1643以上を比較する比較器でよい。ため比較器の機能が簡略化する。

- このように、オーバーフロー処理装置内の比較器で入力と比較すべきしきい値を
- 5 L×Mより大きくできる場合は、比較器の回路規模を従来例よりも必ず小さくできる。

以下、この点を、8行203列のデータに対しブロックデインタリーブを行う装置を例にとって説明する。

- この場合、従来例の方式では、オーバーフロー処理装置40内の比較器23は入力
- 10 力がL×M、即ち1624以上であることを判定しなければならない。

第11図は従来例の方式により8行203列のデータに対しブロックデインタリーブを行う装置のオーバーフロー処理装置における比較器の構成を示すものである。

- 第11図において、2311ないし2319および2321ないし2333は
- 15 ANDゲート、2334ないし2339はORゲートである。

- 次に動作について説明する。入力が1624以上である旨を判定するには、入力Iのビットパターンがこの1624を2進数に展開した011001011000以上であることを判定すればよい。そしてその際、入力Iの下位3ビットはその値が0であっても1であっても判定に支障はなく、これら下位3ビットが
- 20 全て1の場合の入力値は1631になる。従って、入力値が1624である旨を判定する際に下位3ビットを入力しないことにより、入力値が1624～1631である旨を判定することができる。

- ANDゲート2311ないし2319はこうした原理により入力値が1624～1631である旨を判定するものであり、ANDゲート2311ないし23
- 25 14により入力値の12ビット目ないし5ビット目のビットパターンが01100101100に一致する場合にそれぞれ1を出力する。ANDゲート2315および2316はこれら4つのANDゲート2311ないし2314の出力が全て1である場合にそれぞれ1を出力し、ANDゲート2317はANDゲート2315および2316の出力が全て1である場合に1を出力する。また、A

NDゲート2318は入力値の4ビット目が1であり、かつANDゲート2316の出力が1である場合に1を出力する。さらに、ANDゲート2319はANDゲート2317および2318の出力が全て1である場合に1を出力する。従って、ANDゲート2319の出力が1の場合、入力値が1624~1631である旨が判明する。

同様に、ANDゲート2321ないし2326は入力が1632~1663である旨を判定する。また、ANDゲート2327ないし2330は入力が1664~1791である旨を判定する。また、ANDゲート2331ないし2333は入力が1792~2047である旨を判定する。また、ORゲート2334および2335は入力が2048~16383 (maxoverval が 12824 であるため、16383 まで判定する。) である旨を判定する。

従って、ORゲート2336ないし2339によりこれらの判定結果を束ねることにより、入力値が1624以上である旨を判定することができる。

このように、従来例では比較器は入力が $L \times M$ 、即ち1624以上であることを判定しなければならないが、表4の行8ないし行11および表4の行18ないし行21の対比により、本実施の形態2では入力が1643以上である旨を判定すればよい。

第12図は本実施の形態2のブロックダイナリブを行う装置のオーバーフロー処理装置における比較器の構成を示すものである。

第12図において、2321ないし2333はANDゲート、2334、2335および2340ないし2342はORゲートである。

この第12図では、本来入力が1643以上である旨を判定すべきであるが、この判定は、1632以上を判定する場合に含まれるため、この回路では、1632以上である旨を判定している。

まず、入力が1632~1663である旨をANDゲート2321ないし2326が判定する。また、入力が1664~1791である旨をANDゲート2327ないし2330が判定する。また、入力が1792~2047である旨をANDゲート2331ないし2333が判定する。また、入力が2048~16383 (maxoverval が 12967 であるため 16383 まで判定する。) である旨をOR

ゲート 2 3 3 4 および 2 3 3 5 が判定する。

従って、ORゲート 2 3 4 0 ないし 2 3 4 2 によりこれらの判定結果を束ねることにより、入力値が 1 6 3 2 以上、即ち 1 6 4 3 以上である旨を判定することができる。

- 5      この第 1 2 図の回路はANDゲートが 1 3 個、ORゲートが 5 個必要であるが、従来例に対応する第 1 1 図の回路では、ANDゲートが 2 2 個、ORゲートが 6 個必要であり、この第 1 2 図の回路は、比較すべき対象が減った分、従来例よりも回路規模を縮小でき、省面積化が図れ、かつその分消費電力も低減することができる。

- 10      ところで、この  $L=8$ 、 $M=203$ 、 $\alpha=20$  の場合は、BS デジタル放送における誤り訂正に用いて有効なものである。

- 即ち、BS デジタル放送の場合、リードソロモン復号器の訂正の対象となる 1 データセグメントは、データインタリーブ装置の内では 203 byte となっており、送信側のブロックインタリーブ装置の列の数が 203 であれば、もっとも少ない  
15      インタリーブ装置の記憶容量でリードソロモン復号器の訂正能力を向上することが可能となる。また、行および列の数が増加するほど、連続したバースト誤り、  
に対してのリードソロモン復号器の訂正能力が向上する。

- 従って、これに対応する受信側のブロックデインタリーブ装置の側では、上述のように、 $L=8$ 、 $M=203$ 、 $\alpha=20$  に設定することにより、最小の回路規  
20      模でバースト誤りに対する訂正能力を向上させ得るブロックデインタリーブ装置を得ることが可能となる。

なお、 $\alpha$  は  $L \times M - 1$  との間に公約数が存在せず、 $L$  の  $(-X)$  乗に等しくなければ、2 以上の任意の整数であってよいが、 $\alpha=20$  の場合がもっとも効果大きい。

- 25      このように、本実施の形態 2 によるブロックデインタリーブ装置は、ブロックデインタリーブ装置出力を生成する  $L \times M$  データの記憶装置と前記記憶装置にアドレスを出力するアドレス生成装置と前記記憶装置へ制御信号を出力する記憶装置制御装置から構成され、アドレス生成装置において、ブロック番号  $b$  の 0 番目のアドレス  $A_b(0)$  を 0 とし、ブロック番号  $b$  の  $n$  番目 ( $n$  は 0 以上の整数)



- のアドレス  $Ab(n)$  を、 $\alpha$  ( $\alpha$  は、2 以上の整数) と  $l$  の  $(b-x)$  乗 ( $x$  は 0 以上  $b$  以下の整数) の乗算結果と  $Ab(n-1)$  との加算結果を  $L \times M-1$  で割った剰余から生成し、生成したアドレスに対して読み出し、書き込みを繰り返すことによりブロックデインタリーブを行うようにしたので、記憶装置アドレス生成装置を最適
- 5 化でき、最小限の回路面積により、ブロックデインタリーブを行うことが可能となる。

- また、ブロックの先頭アドレスと最終アドレスが常に一定であるので、これらに記憶装置内の連続した領域に割り当てることにより、2 データについて同時に処理することが可能となり、記憶装置のアクセス回数が低減し、アドレス生成装置の低消費電力化が可能となる。
- 10

- また、特に、 $l=8$ 、 $M=203$  のブロックデインタリーブを行う場合、特表平 8-511393 号公報記載の、従来のアドレス生成装置においては、ブロック番号  $b$  の 0 番目のアドレス  $Ab(0)$  を 0 とし、ブロック番号  $b$  の  $n$  番目 ( $n$  は 0 以上の整数) のアドレス  $Ab(n)$  を、 $l$  の  $(b-x)$  乗 ( $x$  は 0 以上  $b$  以下の整数) と  $Ab(n-1)$  との加算結果を  $L \times M-1$  で割った剰余から生成する。この演算を繰り返していくと、剰余の対象となる値が無限に大きくなるため、回路で実現する場合、初期値を  $l$  の  $(b-x-1)$  乗とし入力に  $l$  を乗算してオーバーフロー処理装置 1 (以下、剰余器 1 と称す) へ出力する乗算器と、入力を  $L \times M-1$  で割った剰余を乗算器と加算器に出力する剰余器 1 と、 $Ab(n-1)$  と剰余器 1 の出力を加算してオーバーフ
- 15
- ロー処理装置 2 (以下、剰余器 2 と記す) へ出力する加算器と、入力を  $L \times M-1$  で割った剰余を  $Ab(n)$  とする剰余器 2 とから構成されることになるが、剰余器 1 は入力が  $L \times M-1$  以下となるまで、 $L \times M-1$  を減算するための、比較器と減算器から構成され、減算の対象となる最大の値は、「1624」となり、比較器は「1624」以上を判定する機能が必要となる。
- 20

- しかしながら、本実施の形態 2 によるブロックデインタリーブ装置において、 $\alpha=20$ 、 $l=8$ 、 $M=203$  とすると、初期値を  $l$  の  $(b-x-1)$  乗に  $\alpha$  を乗算したものとし入力に  $l$  を乗算して剰余器 1 へ出力する乗算器と、入力を  $L \times M-1$  で割った剰余を乗算器と加算器に出力する剰余器 1 と、 $Ab(n-1)$  と剰余器 1 の出力を加算して剰余器 2 へ出力する加算器と、入力を  $L \times M-1$  で割った剰余を  $Ab(n)$  と
- 25

する剰余器 2 とから構成され、剰余器 1 は入力が  $L \times M - 1$  以下となるまで、 $L \times M - 1$  を減算するための、比較器と減算器から構成され、減算の対象となる最大の値は「1643」となり、比較器は、「1643」以上を判定する機能だけでよいことから、比較器の面積が低減し、最小限のアドレス生成回路面積でブロックデインタリーブ

5    ブを行うことが可能となる。

なお、読み出しアドレスを  $Ab(n)$  とし、書き込みアドレスを  $Ab(n - t)$ 、  
( $t$  は  $L \times M - 2$  以下の自然数) とし、それぞれのアドレスに対し、1 時点ごとに、読み出しと書き込みを繰り返すことにより、ブロックデインタリーブを実現することも可能である。

10    また、 $Ab(0)$  を  $\beta$  とし ( $\beta$  は、 $L \times M - 1$  以下の自然数)、 $Ab(n)$  を、 $\alpha$  とし  
の  $(b-x)$  乗の乗算結果と  $Ab(n-1)$  との加算結果を  $L \times M - 1$  で割った剰余から生成することも可能である。

また、上記実施の形態 1, 2 では、BS デジタル放送の誤り訂正に適用されるブロックインタリーブ装置、ブロックデインタリーブ装置を例  
15    にとって説明したが、OFDM (地上波デジタル放送) 用のブロックインタリーブ装置、ブロックデインタリーブ装置に適用してもよく、上記実施の形態 1, 2 と同様の効果を奏する。

この場合の 1 ブロック ( $L \times M$  データ) のサイズは以下の 72 通り (=  $12 \times 6$  通り) である。

20     $96 \times 2, 96 \times 3, 96 \times 4, \dots, 96 \times 11, 96 \times 12, 96 \times 13$   
 $192 \times 2, 192 \times 3, 192 \times 4, \dots, 192 \times 11, 192 \times 12, 192 \times 13$   
 $384 \times 2, 384 \times 3, 384 \times 4, \dots, 384 \times 11, 384 \times 12, 384 \times 13$   
 $2 \times 96, 3 \times 96, 4 \times 96, \dots, 11 \times 96, 12 \times 96, 13 \times 96$   
 $2 \times 192, 3 \times 192, 4 \times 192, \dots, 11 \times 192, 12 \times 192, 13 \times 192$   
25     $2 \times 384, 3 \times 384, 4 \times 384, \dots, 11 \times 384, 12 \times 384, 13 \times 384$

また、上記実施の形態 1, 2 の記憶装置 104, 4 は、( $L \times M$ ) 個のアドレスが割り当てられているものとしたが、より大容量のメモリに、( $L \times M$ ) 個のアドレスを有する領域を設けたものに適用してもよく、上記実施の形態 1, 2 と同様の効果を奏する。

さらに、この ( $L \times M$ ) 個のアドレスは連続して割り当てられるものでなくてもよく、上記実施の形態 1, 2 と同様の効果を奏する。

#### 産業上の利用可能性

- 5     以上のように、本発明に係るブロックインタリーブ装置、ブロックデインタリーブ装置、ブロックインタリーブ方法、およびブロックデインタリーブ方法は、衛星放送、地上波デジタル放送やハードディスク等の記憶装置において、データのバースト誤りに対する耐性を増すために、データの配置をデータのブロック内で変更するインタリーブ操作、およびその逆操作であるデインタリーブ操作
- 10    作を行うのに適しており、かつこれらの操作を記憶装置 1 面を用いて行いかつそのアドレス生成に要する回路規模をより縮小し、より消費電力を低減するのに適している。

## 請 求 の 範 囲

1. ( $L \times M$ ) 個のアドレス ( $L$ ,  $M$  は 2 以上の整数) が割り当てられた記憶手段と、

- 5 該記憶手段に対し、ブロックインタリーブすべき ( $L \times M$ ) 個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成するアドレス生成手段と、

- 10 該アドレス生成手段により生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行う制御手段とを備え、

——上記アドレス生成手段は、——

ブロック番号  $b$  のブロックが入力される毎に、 $\alpha$  ( $\alpha$  は 2 以上の整数) と  $M$  の ( $b-x$ ) 乗 ( $x$  は 0 以上  $b$  以下の整数、 $b$  は 0 以上の整数) との乗算結果を生成する乗算手段と、

- 15 上記乗算手段による乗算結果と比較基準値  $L \times M - 1$  との大小を比較する第 1 の比較手段を有し、その比較結果に基づき上記乗算結果より可能な限り上記  $L \times M - 1$  を減算して上記乗算結果のオーバーフローを抑えることにより上記ブロック番号  $b$  のブロックに対するアドレスの増分値 REG を出力する第 1 のオーバーフロー処理手段と、

- 20 ブロック番号  $b$  のブロックが入力される毎に、上記第 1 のオーバーフロー処理手段により出力されるアドレスの増分値 REG に対し、上記ブロック番号  $b$  の  $n-1$  番目 ( $n$  は 1 以上  $L \times M - 1$  以下の整数) のアドレス  $Ab(n-1)$  を順次加算することにより上記ブロック番号  $b$  のブロック内の  $n$  番目のアドレス  $Ab(n)$  を順次生成する加算手段と、

- 25 上記加算手段による加算結果と比較基準値  $L \times M - 1$  との大小を比較する第 2 の比較手段を有し、その比較結果に基づき上記加算結果より可能な限り上記  $L \times M - 1$  を減算して上記加算結果のオーバーフローを抑えることにより上記記憶手段に対し実際に供給するアドレスを出力する第 2 のオーバーフロー処理手段とを有し、

上記第1の比較手段は、上記乗算結果と上記比較基準値  $L \times M - 1$  とを比較する際に、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値  $A$  を上記比較基準値として使用し、大小比較を行うものであることを特徴とするブロックインタリーブ装置。

- 5 2. ( $L \times M$ ) 個のアドレス ( $L$ ,  $M$  は 2 以上の整数) が割り当てられた記憶手段と、

該記憶手段に対し、ブロックインタリーブすべき ( $L \times M$ ) 個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成するアドレス生成手段と、

- 10 該アドレス生成手段により生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行う制御手段とを備え、

上記アドレス生成手段は、

- 15 ブロック番号  $b$  ( $b$  は 1 以上の整数) のブロックに対するアドレスの増分値  $REG(b)$  を記憶するアドレス増分値記憶手段と、

ブロック番号 0 のブロックに対するアドレスの増分値  $REG(0)$  として  $\alpha$  ( $\alpha$  は 2 以上の整数) を上記アドレス増分値記憶手段に初期設定する第1の初期値設定手段と、

- 20 上記アドレス増分値記憶手段の記憶出力値  $REG(c)$  ( $c=b-1$ ) に対し  $M$  を乗算する乗算手段と、

- 上記乗算手段による乗算結果と比較基準値  $L \times M - 1$  との大小を比較する第1の比較手段を有し、その比較結果に基づき上記乗算結果より可能な限り上記  $L \times M - 1$  を減算することにより、 $\alpha \times M \times (b - x) \bmod (L \times M - 1)$  に相当する演算 ( $\times$  はべき乗、 $\bmod$  は剰余、 $x$  は 0 以上  $b$  以下の整数) を行つて、オーバーフローを抑えるとともに、上記演算結果をブロック番号  $b$  のブロックに対するアドレスの増分値  $REG(b)$  として上記アドレス増分値記憶手段に出力する第1のオーバーフロー処理手段と、
- 25

ブロック番号  $b$  ( $b$  は 1 以上の整数) のブロックの中の  $n$  番目 ( $n$  は 1 以上  $L \times M - 1$  以下の整数) のアドレス  $Ab(n)$  を記憶し上記記憶手段のアドレス入力に出

力するアドレス記憶手段と、

ブロック番号  $b$  のブロックに対する 0 番目のアドレス  $Ab(0)$  を上記アドレス記憶手段に初期設定する第 2 の初期値設定手段と、

上記アドレス記憶手段の記憶出力値  $Ab(p)$  に対し  $(p=n-1)$  上記アドレス増分値

- 5 記憶手段からのアドレスの増分値  $REG(b)$  を加算する加算手段と、

上記加算手段による加算結果と比較基準値  $L \times M - 1$  との大小を比較する第 2 の比較手段を有し、その比較結果に基づき上記加算結果より可能な限り上記  $L \times M -$

1 を減算することにより  $(Ab(n-1) + \alpha \times M * (b-x)) \bmod (L \times M - 1)$

に相当する演算を行って上記加算結果のオーバーフローを抑えるとともに、上記

- 10 演算結果をブロック番号  $b$  のブロックに対する第  $n$  番目のアドレス  $Ab(n)$  として上記アドレス記憶手段に出力する第 2 のオーバーフロー処理手段とを有するものであり、

上記第 1 の比較手段は、上記乗算結果と上記比較基準値  $L \times M - 1$  とを比較する際に、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最  
15 小値  $A$  を上記比較基準値として使用し、大小比較を行うものであることを特徴とするブロックインタリーブ装置。

3. 請求の範囲第 2 項記載のブロックインタリーブ装置において、

上記第 1 の初期値設定手段は、上記  $\alpha$  を発生する第 1 の定数発生手段と、

- 20 リセット信号の投入時に上記第 1 の定数発生手段からの上記  $\alpha$  を選択し上記アドレス増分値記憶手段に出力する第 1 のセクタとを有するものであり、

上記第 1 のオーバーフロー処理手段は、上記乗算手段の出力と上記アドレス増分値記憶手段の出力とを入力とし、上記各ブロックの先頭において該乗算手段の出力を選択し、それ以外の期間は上記アドレス増分値記憶手段の出力を選択する第 2 のセクタと、

- 25 上記第 2 のセクタの出力と上記比較基準値  $A$  とを比較する第 1 の比較手段と、

上記第 2 のセクタの出力より上記  $L \times M - 1$  を減算する第 1 の減算手段と、

上記第 2 のセクタの出力と上記第 1 の減算手段の出力とを入力とし、上記第 2 のセクタの出力が上記比較基準値以上の場合上記第 1 の減算手段の出力を

選択し、上記第2のセレクトアの出力が上記比較基準値未満の場合該第2のセレクトアの出力を選択する第3のセレクトアとを有し、

- リセット信号の非投入期間に上記第1のセレクトアを介して上記第3のセレクトアの出力を上記アドレス増分値記憶手段に出力するものであることを特徴とするブロックインタリーブ装置。
- 5

4. 請求の範囲第2項記載のブロックインタリーブ装置において、

- 上記第1の比較手段は、上記比較基準値として、上記  $L \times M - 1$  を越える最小値  $A$  に代えて、 $L \times M - 1 < B < A$  を満たし、かつ該比較手段を構成する論理ゲート数が最小になるように選定した値  $B$  を使用するものであることを特徴とするブロックインタリーブ装置。
- 10

5. 請求の範囲第2項記載のブロックインタリーブ装置において、

- 上記第2の初期値設定手段は、値0を発生する第2の定数発生手段と、  
リセット信号の投入時に上記第2の定数発生手段からの値0を選択し上記アドレス記憶手段に出力する第4のセレクトアとを有するものであり、
- 15
- 上記第2のオーバーフロー処理手段は、上記加算手段の出力と比較基準値  $L \times M - 1$  とを比較する第2の比較手段と、  
上記加算手段の出力より上記比較基準値  $L \times M - 1$  を減算する第2の減算手段と、  
上記加算手段の出力と上記第2の減算手段の出力とを入力とし、上記加算手段の出力が上記比較基準値以上の場合上記第2の減算手段の出力を選択し、上記加算手段の出力が上記比較基準値未満の場合該加算手段の出力を選択する第5のセレクトアとを有し、
- 20

- リセット信号の非投入期間に上記第4のセレクトアを介して上記第5のセレクトアの出力を上記アドレス記憶手段に出力するものであることを特徴とするブロックインタリーブ装置。

25

6. 請求の範囲第2項記載のブロックインタリーブ装置において、

前記  $\alpha$  と  $L \times M - 1$  との間に公約数が存在しないように、これらの値を設定したことを特徴とするブロックインタリーブ装置。

7. 請求の範囲第2項記載のブロックインタリーブ装置において、

前記  $\alpha$  と  $M$  の  $(-x)$  乗が等しくないように、これらの値を設定したことを特徴と

するブロックインタリーブ装置。

8. 請求の範囲第2項記載のブロックインタリーブ装置において、

前記  $\alpha$ 、 $L$ 、 $M$  の値を、それぞれ  $\alpha=20$ 、 $L=8$ 、 $M=203$  としたことを特徴とするブロックインタリーブ装置。

5 9. 請求の範囲第2項記載のブロックインタリーブ装置において、

前記 ( $L$ ,  $M$ ) の値を、

$L=96 \times X (X=1, 2, 4)$ ,  $M=2, \dots, 13$

あるいは

$M=2, \dots, 13$ ,  $L=96 \times X (X=1, 2, 4)$

10 の72通りのいずれかの値としたことを特徴とするブロックインタリーブ装置。

10. ( $L \times M$ ) 個のアドレス ( $L$ ,  $M$  は2以上の整数) が割り当てられた記憶手段と、

15 該記憶手段に対し、ブロックデインタリーブすべき ( $L \times M$ ) 個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成するアドレス生成手段と、

該アドレス生成手段により生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行う制御手段とを備え、

20 上記アドレス生成手段は、

ブロック番号  $b$  のブロックが入力される毎に、 $\alpha$  ( $\alpha$  は2以上の整数) と  $L$  の ( $b-x$ ) 乗 ( $x$  は0以上  $b$  以下の整数、 $b$  は0以上の整数) との乗算結果を生成する乗算手段と、

25 上記乗算手段による乗算結果と比較基準値  $L \times M - 1$  との大小を比較する第1の比較手段を有し、その比較結果に基づき上記乗算結果より可能な限り上記  $L \times M - 1$  を減算して上記乗算結果のオーバーフローを抑えることにより上記ブロック番号  $b$  のブロックに対するアドレスの増分値 REG を出力する第1のオーバーフロー処理手段と、

ブロック番号  $b$  のブロックが入力される毎に、上記第1のオーバーフロー処理



手段により出力されるアドレスの増分値 REG に対し、上記ブロック番号  $b$  の  $n-1$  番目 ( $n$  は 1 以上  $L \times M - 1$  以下の整数) のアドレス  $Ab(n-1)$  を順次加算することにより上記ブロック番号  $b$  のブロック内の  $n$  番目のアドレス  $Ab(n)$  を順次生成する加算手段と、

- 5     上記加算手段による加算結果と比較基準値  $L \times M - 1$  との大小を比較する第 2 の比較手段を有し、その比較結果に基づき上記加算結果より可能な限り上記  $L \times M - 1$  を減算して上記加算結果のオーバーフローを抑えることにより上記記憶手段に対し実際に供給するアドレスを出力する第 2 のオーバーフロー処理手段とを有し、

- 10    上記第 1 の比較手段は、上記乗算結果と上記比較基準値  $L \times M - 1$  とを比較する際に、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値  $A$  を上記比較基準値として使用し、大小比較を行うものであることを特徴とするブロックデインタリーブ装置。

11. ( $L \times M$ ) 個のアドレス ( $L, M$  は 2 以上の整数) が割り当てられた記憶手段と、

該記憶手段に対し、ブロックデインタリーブすべき ( $L \times M$ ) 個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成するアドレス生成手段と、

- 20    該アドレス生成手段により生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行う制御手段とを備え、

上記アドレス生成手段は、

ブロック番号  $b$  ( $b$  は 1 以上の整数) のブロックに対するアドレスの増分値 REG( $b$ ) を記憶するアドレス増分値記憶手段と、

- 25    ブロック番号 0 のブロックに対するアドレスの増分値 REG(0) として  $\alpha$  ( $\alpha$  は 2 以上の整数) を上記アドレス増分値記憶手段に初期設定する第 1 の初期値設定手段と、

上記アドレス増分値記憶手段の記憶出力値 REG( $c$ ) ( $c=b-1$ ) に対し  $L$  を乗算する乗算手段と、

- 上記乗算手段による乗算結果と比較基準値  $L \times M - 1$  との大小を比較する第1の比較手段を有し、その比較結果に基づき上記乗算結果より可能な限り上記  $L \times M - 1$  を減算することにより、 $\alpha \times L \times (b - x) \bmod (L \times M - 1)$  に相当する演算（ $\times$  はべき乗、 $\bmod$  は剰余、 $x$  は0以上 $b$ 以下の整数）を行って、オーバーフローを抑えるとともに、上記演算結果をブロック番号 $b$ のブロックに対するアドレスの増分値  $REG(b)$  として上記アドレス増分値記憶手段に出力する第1のオーバーフロー処理手段と、

- 10 ブロック番号 $b$  ( $b$  は1以上の整数)のブロックの中の $n$ 番目 ( $n$  は1以上 $L \times M - 1$ 以下の整数)のアドレス  $Ab(n)$  を記憶し上記記憶手段のアドレス入力に出力するアドレス記憶手段と、

ブロック番号 $b$ のブロックに対する0番目のアドレス  $Ab(0)$  を上記アドレス記憶手段に初期設定する第2の初期値設定手段と、

上記アドレス記憶手段の記憶出力値  $Ab(p)$  に対し ( $p = n - 1$ ) 上記アドレス増分値記憶手段からのアドレスの増分値  $REG(b)$  を加算する加算手段と、

- 15 上記加算手段による加算結果と比較基準値  $L \times M - 1$  との大小を比較する第2の比較手段を有し、その比較結果に基づき上記加算結果より可能な限り上記  $L \times M - 1$  を減算することにより  $(Ab(n-1) + \alpha \times L \times (b - x)) \bmod (L \times M - 1)$  に相当する演算を行って上記加算結果のオーバーフローを抑えるとともに、上記演算結果をブロック番号 $b$ のブロックに対する第 $n$ 番目のアドレス  $Ab(n)$  として
- 20 上記アドレス記憶手段に出力する第2のオーバーフロー処理手段とを有するものであり、

- 上記第1の比較手段は、上記乗算結果と上記比較基準値  $L \times M - 1$  とを比較する際に、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値 $A$ を上記比較基準値として使用し、大小比較を行うものであることを特徴とするブロックデインタリーブ装置。
- 25

12. 請求の範囲第11項記載のブロックデインタリーブ装置において、

上記第1の初期値設定手段は、上記 $\alpha$ を発生する第1の定数発生手段と、

リセット信号の投入時に上記第1の定数発生手段からの上記 $\alpha$ を選択し上記アドレス増分値記憶手段に出力する第1のセクタとを有するものであり、

上記第1のオーバーフロー処理手段は、上記乗算手段の出力と上記アドレス増分値記憶手段の出力とを入力とし、上記各ブロックの先頭において該乗算手段の出力を選択し、それ以外の期間は上記アドレス増分値記憶手段の出力を選択する第2のセクタと、

- 5      上記第2のセクタの出力と上記比較基準値Aとを比較する第1の比較手段と、

上記第2のセクタの出力より上記 $L \times M - 1$ を減算する第1の減算手段と、

- 10      上記第2のセクタの出力と上記第1の減算手段の出力とを入力とし、上記第2のセクタの出力が上記比較基準値以上の場合上記第1の減算手段の出力を選択し、上記第2のセクタの出力が上記比較基準値未満の場合該第2のセクタの出力を選択する第3のセクタとを有し、

リセット信号の非投入期間に上記第1のセクタを介して上記第3のセクタの出力を上記アドレス増分値記憶手段に出力するものであることを特徴とするブロックデインタリーブ装置。

- 15      13. 請求の範囲第11項記載のブロックデインタリーブ装置において、

上記第1の比較手段は、上記比較基準値として、上記 $L \times M - 1$ を越える最小値Aに代えて、 $L \times M - 1 < B < A$ を満たし、かつ該比較手段を構成する論理ゲート数が最小になるように選定した値Bを使用するものであることを特徴とするブロックデインタリーブ装置。

- 20      14. 請求の範囲第11項記載のブロックデインタリーブ装置において、

上記第2の初期値設定手段は、値0を発生する第2の定数発生手段と、

リセット信号の投入時に上記第2の定数発生手段からの値0を選択し上記アドレス記憶手段に出力する第4のセクタとを有するものであり、

- 25      上記第2のオーバーフロー処理手段は、上記加算手段の出力と比較基準値 $L \times M - 1$ とを比較する第2の比較手段と、

上記加算手段の出力より上記比較基準値 $L \times M - 1$ を減算する第2の減算手段と、

上記加算手段の出力と上記第2の減算手段の出力とを入力とし、上記加算手段の出力が上記比較基準値以上の場合上記第2の減算手段の出力を選択し、上記加算手段の出力が上記比較基準値未満の場合該加算手段の出力を選択する第5の

セクタとを有し、

リセット信号の非投入期間に上記第4のセクタを介して上記第5のセクタの出力を上記アドレス記憶手段に出力するものであることを特徴とするブロックデインタリーブ装置。

- 5 15. 請求の範囲第11項記載のブロックデインタリーブ装置において、  
前記 $\alpha$ と $L \times M - 1$ との間に公約数が存在しないように、これらの値を設定したことを特徴とするブロックデインタリーブ装置。

16. 請求の範囲第11項記載のブロックデインタリーブ装置において、  
前記 $\alpha$ と $L$ の $(-x)$ 乗が等しくないように、これらの値を設定したことを特徴とするブロックデインタリーブ装置。

17. 請求の範囲第11項記載のブロックデインタリーブ装置において、  
前記 $\alpha$ 、 $L$ 、 $M$ の値を、それぞれ $\alpha = 20$ 、 $L = 8$ 、 $M = 203$ としたことを特徴とするブロックデインタリーブ装置。

18. 請求の範囲第11項記載のブロックデインタリーブ装置において、  
15 前記 $(L, M)$ の値を、

$$L = 96 \times X (X = 1, 2, 4), M = 2, \dots, 13$$

あるいは

$$M = 2, \dots, 13, L = 96 \times X (X = 1, 2, 4)$$

- 20 の72通りのいずれかの値としたことを特徴とするブロックデインタリーブ装置。

19.  $(L \times M)$ 個のアドレス( $L$ 、 $M$ は2以上の整数)が割り当てられた記憶手段に対し、ブロックデインタリーブすべき $(L \times M)$ 個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成し、該生成されたアドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り  
25 替えて行うように動作制御を行うことによりデータのブロックデインタリーブを行う方法において、

ブロック番号0のブロックに対しアドレスの増分値 $REG$ として $\alpha$  ( $\alpha$ は2以上の整数)を与え、以後ブロック番号が1増すごとに増分値 $REG$ に $M$ を乗算したものを当該ブロックのアドレスの増分値 $REG$ とする際、アドレスの増分値 $REG$ が $L$

$\times M - 1$  を越えた場合、当該増分値 REG に代えて  $L \times M - 1$  による剰余を当該増分値として上記の処理を繰り返すことにより、 $\alpha \times M \times (b - x) \bmod (L \times M - 1)$  に相当する演算 (\*\* はべき乗、mod は剰余、 $x$  は 0 以上  $b$  以下の整数) を行って、各ブロック毎のアドレスの増分値を求め、

- 5 各ブロックにおいて、アドレスの初期値として  $Ab(0)$  を設定し、以後当該ブロックのアドレスの増分値 REG を順次加算することにより当該ブロック内の各アドレス  $Ab(1)$  ないし  $Ab(n)$  ( $n$  は 1 以上  $L \times M - 1$  以下の整数) を生成する際、アドレスが  $L \times M - 1$  を越えた場合当該アドレスに代えて  $L \times M - 1$  による剰余を当該アドレスとして上記の処理を繰り返し、各ブロック内のアドレスを生成することにより、上記アドレス生成を実行し、

- 10 かつ、上記アドレスの増分値を計算する際の剰余を求めるか否かの判定を、上記アドレスの増分値と上記  $L \times M - 1$  との大小比較で判定する際、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値  $A$  を上記比較基準値として使用し、大小比較を行う第 1 の比較手段を使用して行うことを特徴とするブロックインタリーブ方法。

- 20 20. 請求の範囲第 19 項記載のブロックインタリーブ方法において、  
上記第 1 の比較手段は、上記比較基準値として、上記  $L \times M - 1$  を越える最小値  $A$  に代えて、 $L \times M - 1 < B < A$  を満たし、かつ該比較手段を構成する論理ゲート数が最小になるように選定した値  $B$  を使用することを特徴とするブロックインタリーブ方法。

21. 請求の範囲第 19 項記載のブロックインタリーブ方法において、  
前記  $\alpha$  と  $L \times M - 1$  との間に公約数が存在しないように、これらの値を設定したことを特徴とするブロックインタリーブ方法。
22. 請求の範囲第 19 項記載のブロックインタリーブ方法において、  
25 前記  $\alpha$  と  $M$  の  $(-x)$  乗が等しくないように、これらの値を設定したことを特徴とするブロックインタリーブ方法。

23. 請求の範囲第 19 項記載のブロックインタリーブ方法において、  
前記  $\alpha$ 、 $L$ 、 $M$  の値を、それぞれ  $\alpha = 20$ 、 $L = 8$ 、 $M = 203$  としたことを特徴とするブロックインタリーブ方法。

24. 請求の範囲第19項記載のブロックインタリーブ方法において、

前記 (L, M) の値を、

$$L=96 \times X (X=1, 2, 4), M=2, \dots, 13$$

あるいは

5  $M=2, \dots, 13, L=96 \times X (X=1, 2, 4)$

の72通りのいずれかの値としたことを特徴とするブロックインタリーブ方法。

25. (L × M) 個のアドレス (L, Mは2以上の整数) が割り当てられた記憶手段に対し、ブロックデインタリーブすべき (L × M) 個のデータを単位とするブロックを書き込み、読み出す際のアドレスを生成し、該生成された  
10 アドレスを用いて、上記記憶手段が上記データの書き込みおよび読み出しを切り替えて行うように動作制御を行うことによりデータのブロックデインタリーブを行う方法において、

ブロック番号0のブロックに対しアドレスの増分値 REG として  $\alpha$  ( $\alpha$ は2以上の整数) を与え、以後ブロック番号が1増すごとに増分値 REG にLを乗算したものを当該ブロックのアドレスの増分値 REG とする際、アドレスの増分値 REG が  $L \times M - 1$  を越えた場合、当該増分値 REG に代えて  $L \times M - 1$  による剰余を当該増分値として上記の処理を繰り返すことにより、 $\alpha \times L \times (b - x) \bmod (L \times M - 1)$  に相当する演算 (\*\*はべき乗、modは剰余、xは0以上b  
20 以下の整数) を行って、各ブロック毎のアドレスの増分値を求め、

各ブロックにおいて、アドレスの初期値として  $Ab(0)$  を設定し、以後当該ブロックのアドレスの増分値 REG を順次加算することにより当該ブロック内の各アドレス  $Ab(1)$  ないし  $Ab(n)$  ( $n$ は1以上  $L \times M - 1$  以下の整数) を生成する際、アドレスが  $L \times M - 1$  を越えた場合当該アドレスに代えて  $L \times M - 1$  による剰余を当該アドレスとして上記の処理を繰り返し、各ブロック内のアドレスを生成することにより、上記アドレス生成を実行し、  
25

かつ、上記アドレスの増分値を計算する際の剰余を求めるか否かの判定を、上記アドレスの増分値と上記  $L \times M - 1$  との大小比較で判定する際、上記  $L \times M - 1$  に代えて、上記乗算結果に含まれる、上記  $L \times M - 1$  を越える最小値Aを上記比

較基準値として使用し、大小比較を行う第1の比較手段を使用して行うことを特徴とするブロックデインタリーブ方法。

26. 請求の範囲第25項記載のブロックデインタリーブ方法において、

- 上記第1の比較手段は、上記比較基準値として、上記  $L \times M - 1$  を越える最小値  
 5 Aに代えて、 $L \times M - 1 < B < A$ を満たし、かつ該比較手段を構成する論理ゲート数が最小になるように選定した値Bを使用することを特徴とするブロックデインタリーブ方法。

27. 請求の範囲第25項記載のブロックデインタリーブ方法において、

- 前記  $\alpha$  と  $L \times M - 1$  との間に公約数が存在しないように、これらの値を設定した  
 10 ことを特徴とするブロックデインタリーブ方法。

28. 請求の範囲第25項記載のブロックデインタリーブ方法において、

前記  $\alpha$  と  $M$  の  $(-x)$  乗が等しくないように、これらの値を設定したことを特徴とするブロックデインタリーブ方法。

29. 請求の範囲第25項記載のブロックデインタリーブ方法において、

- 前記  $\alpha$ 、 $L$ 、 $M$  の値を、それぞれ  $\alpha = 20$ 、 $L = 8$ 、 $M = 203$  としたことを特徴とする  
 15 ブロックデインタリーブ方法。

30. 請求の範囲第25項記載のブロックデインタリーブ方法において、

前記  $(L, M)$  の値を、

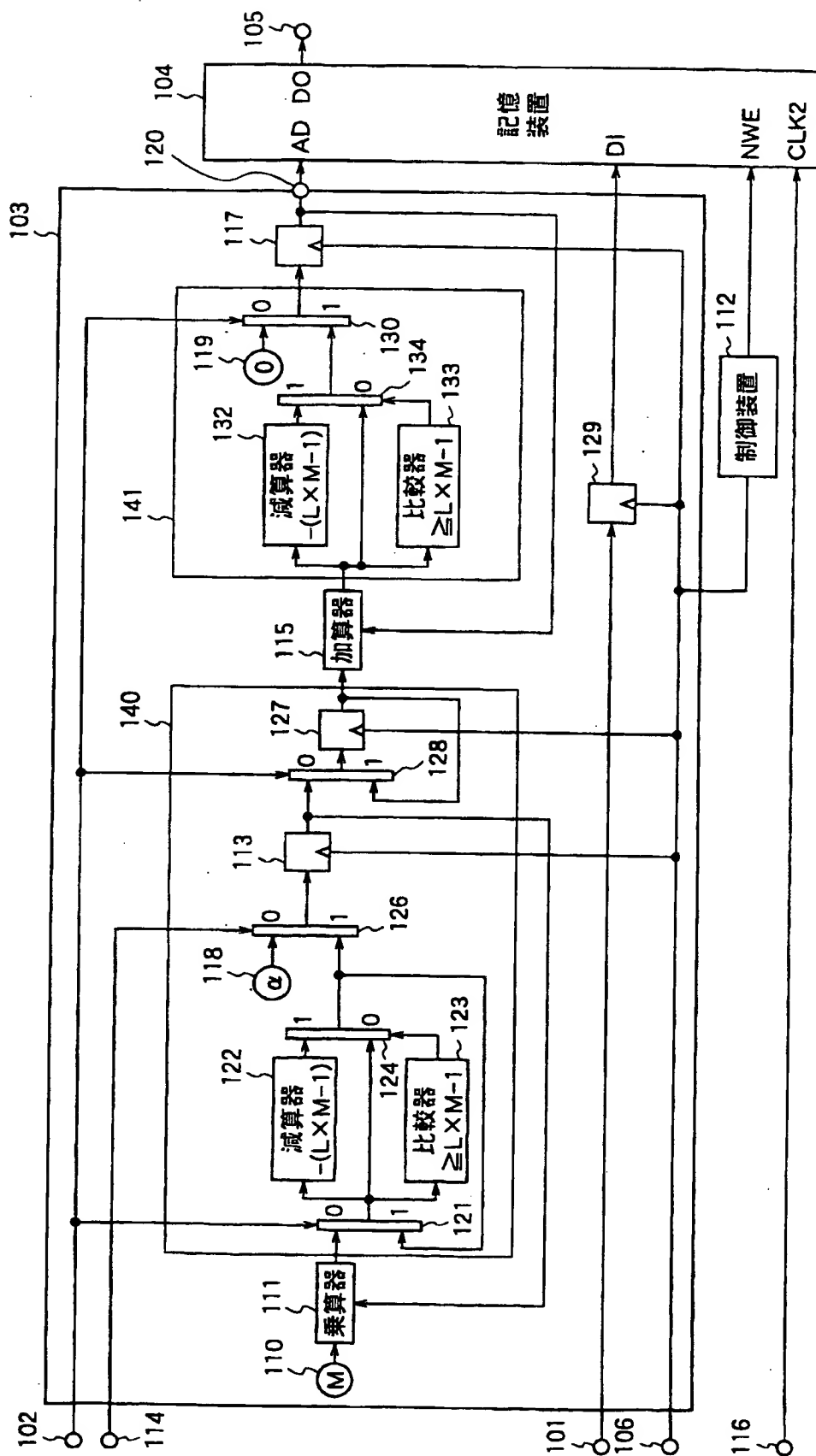
$$L = 96 \times X (X = 1, 2, 4), M = 2, \dots, 13$$

- 20 あるいは

$$M = 2, \dots, 13, L = 96 \times X (X = 1, 2, 4)$$

の72通りのいずれかの値としたことを特徴とするブロックデインタリーブ方法。

第1図





第2(a)図

2

0	10	1	11	2
12	3	13	4	14
5	15	6	16	7
17	8	18	9	19

第2(b)図

10

0	2	4	6	8
10	12	14	16	18
1	3	5	7	9
11	13	15	17	19

第2(c)図

50-(19×2)=12

0	8	16	5	13
2	10	18	7	15
4	12	1	9	17
6	14	3	11	19

第2(d)図

60-(19×3)=3

0	13	7	1	14
8	2	15	9	3
16	10	4	17	11
5	18	12	6	19

第2(e)図

15

0	14	9	4	18
13	8	3	17	12
7	2	16	11	6
1	15	10	5	19

第2(f)図

75-(19×3)=18

0	18	17	16	15
14	13	12	11	10
9	8	7	6	5
4	3	2	1	19

第2(g)図

90-(19×4)=14

0	15	11	7	3
18	14	10	6	2
17	13	9	5	1
16	12	8	4	19

第2(h)図

70-(19×3)=13

0	3	6	9	12
15	18	2	5	8
11	14	17	1	4
7	10	13	16	19

第2(i)図

65-(19×3)=8

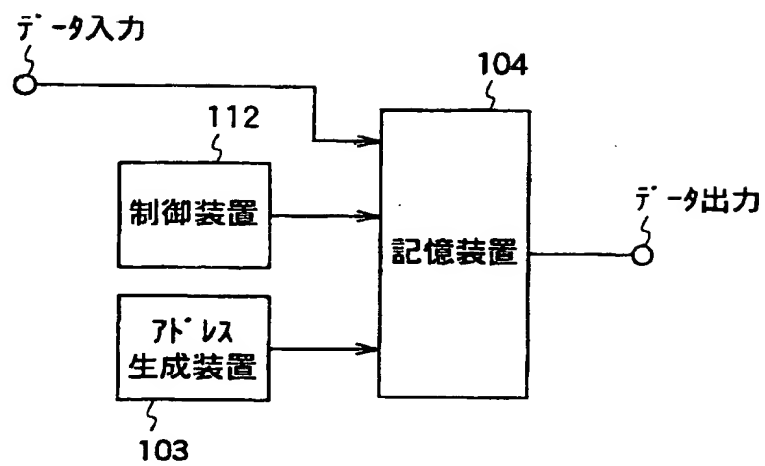
0	12	5	17	10
3	15	8	1	13
6	18	11	4	16
9	2	14	7	19

第2(j)図

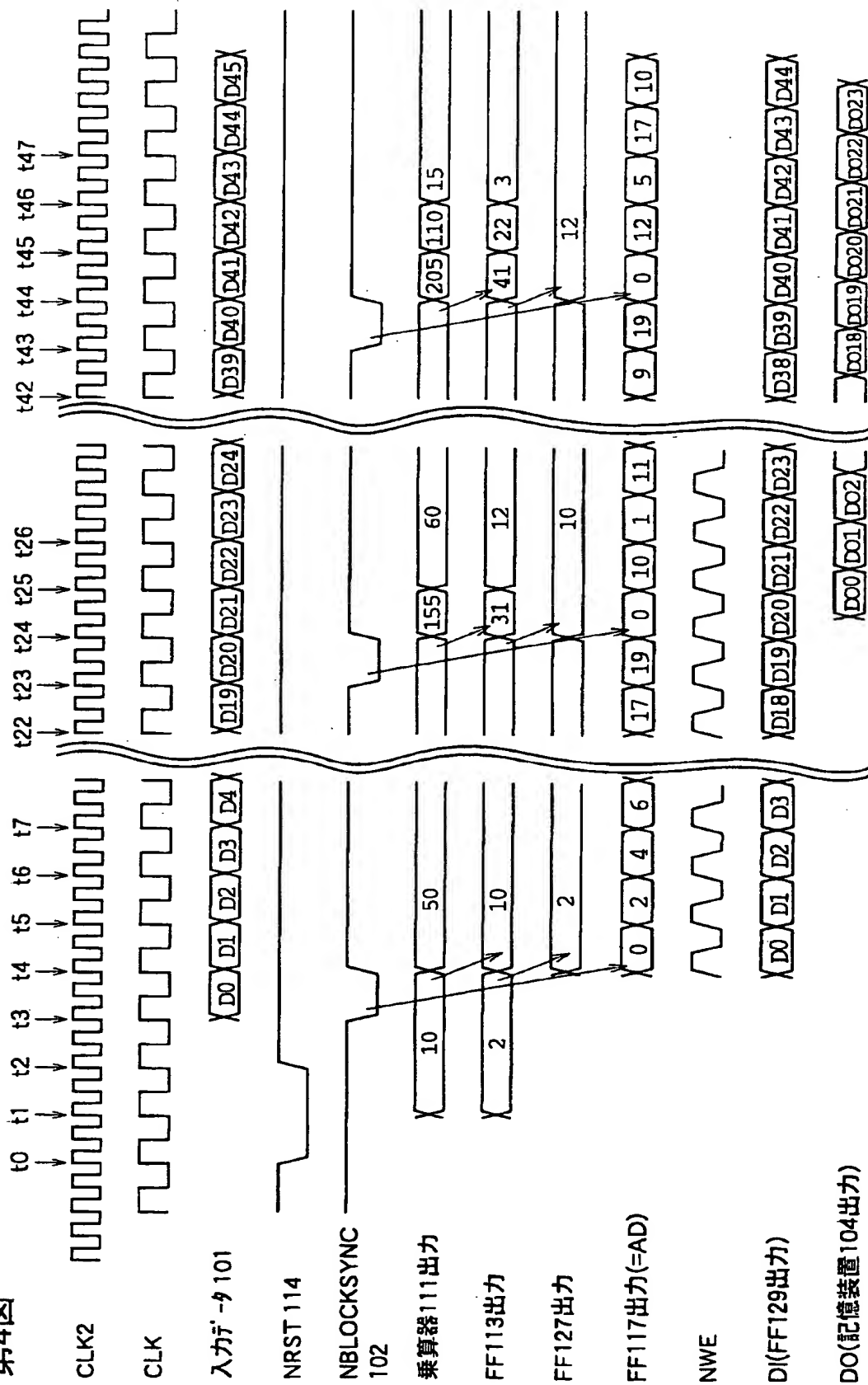
40-(19×2)=2

0	10	1	11	2
12	3	13	4	14
5	15	6	16	7
17	8	18	9	19

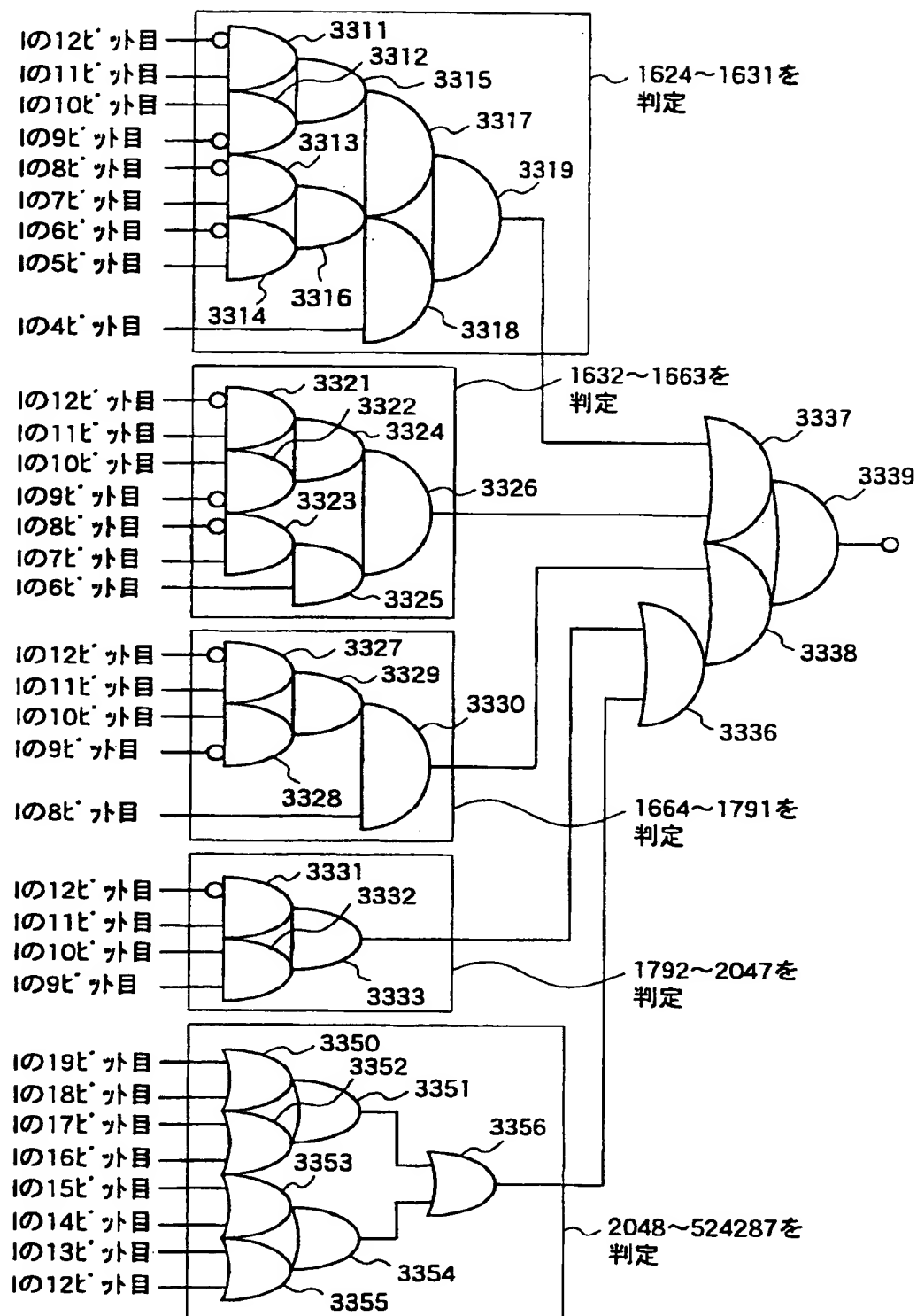
第3図



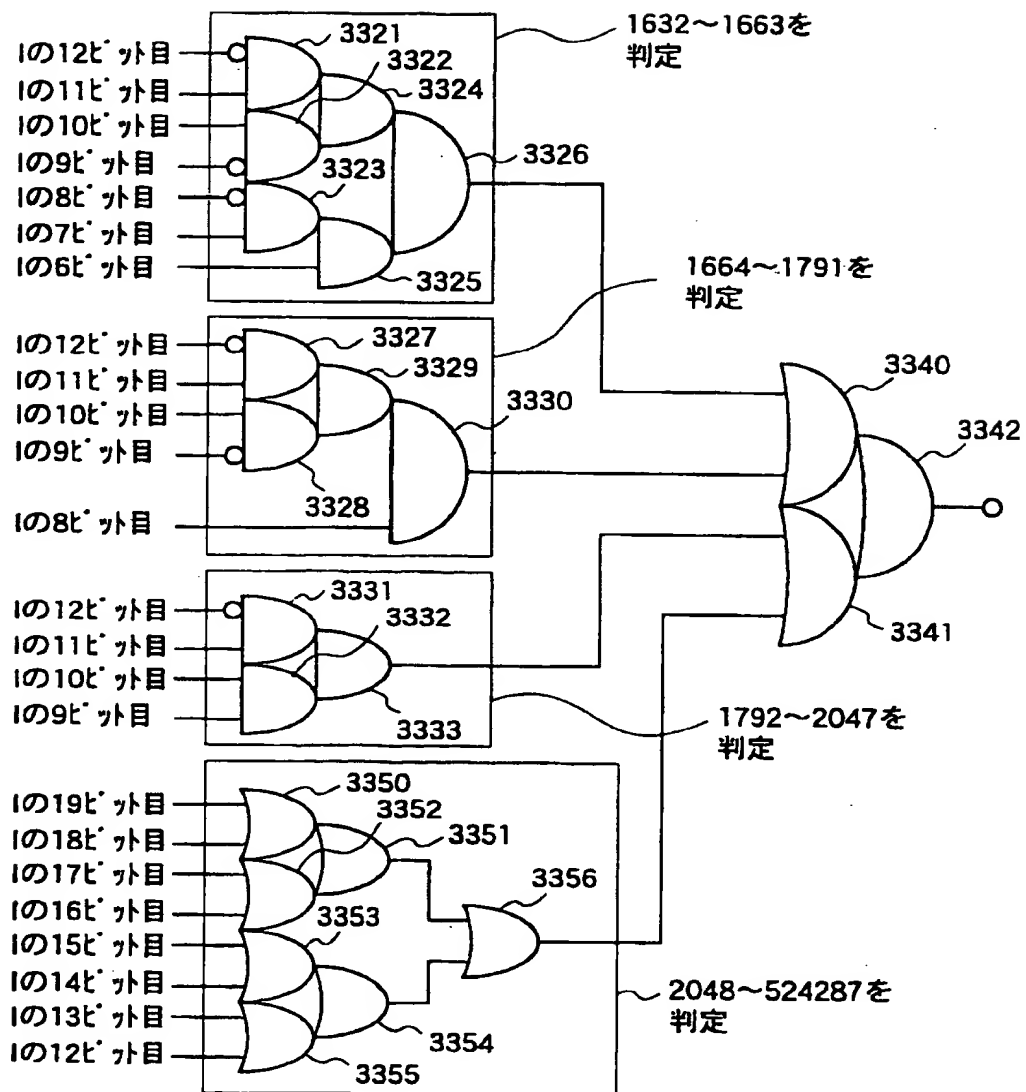
第4図



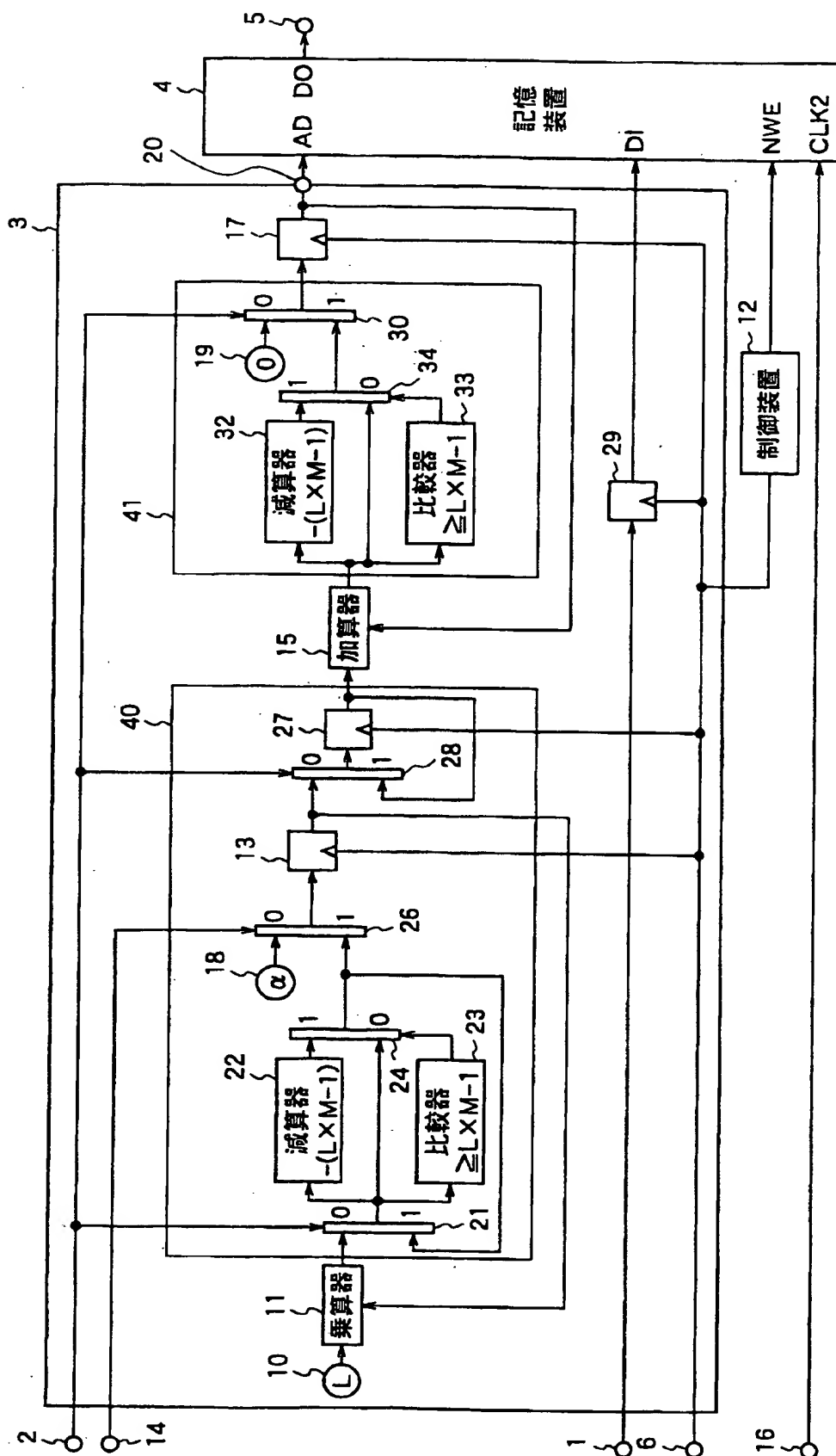
第5図



第6図



第7図



第8(a)図

$$2$$

0	10	1	11	2
12	3	13	4	14
5	15	6	16	7
17	8	18	9	19

第8(b)図

$$8$$

0	12	5	17	10
3	15	8	1	13
6	18	11	4	16
9	2	14	7	19

第8(c)図

$$32-19=13$$

0	3	6	9	12
15	18	2	5	8
11	14	17	1	4
7	10	13	16	19

第8(d)図

$$52-(19 \times 2)=14$$

0	15	11	7	3
18	14	10	6	2
17	13	9	5	1
16	12	8	4	19

第8(e)図

$$56-(19 \times 2)=18$$

0	18	17	16	15
14	13	12	11	10
9	8	7	6	5
4	3	2	1	19

第8(f)図

$$72-(19 \times 3)=15$$

0	14	9	4	18
13	8	3	17	12
7	2	16	11	6
1	15	10	5	19

第8(g)図

$$60-(19 \times 3)=3$$

0	13	7	1	14
8	2	15	9	3
16	10	4	17	11
5	18	12	6	19

第8(h)図

$$12$$

0	8	16	5	13
2	10	18	7	15
4	12	1	9	17
6	14	3	11	19

第8(i)図

$$48-(19 \times 2)=10$$

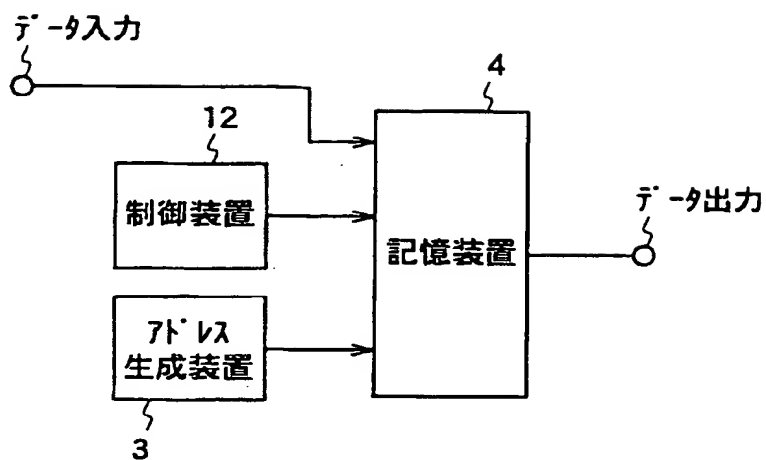
0	2	4	6	8
10	12	14	16	18
1	3	5	7	9
11	13	15	17	19

第8(j)図

$$40-(19 \times 2)=2$$

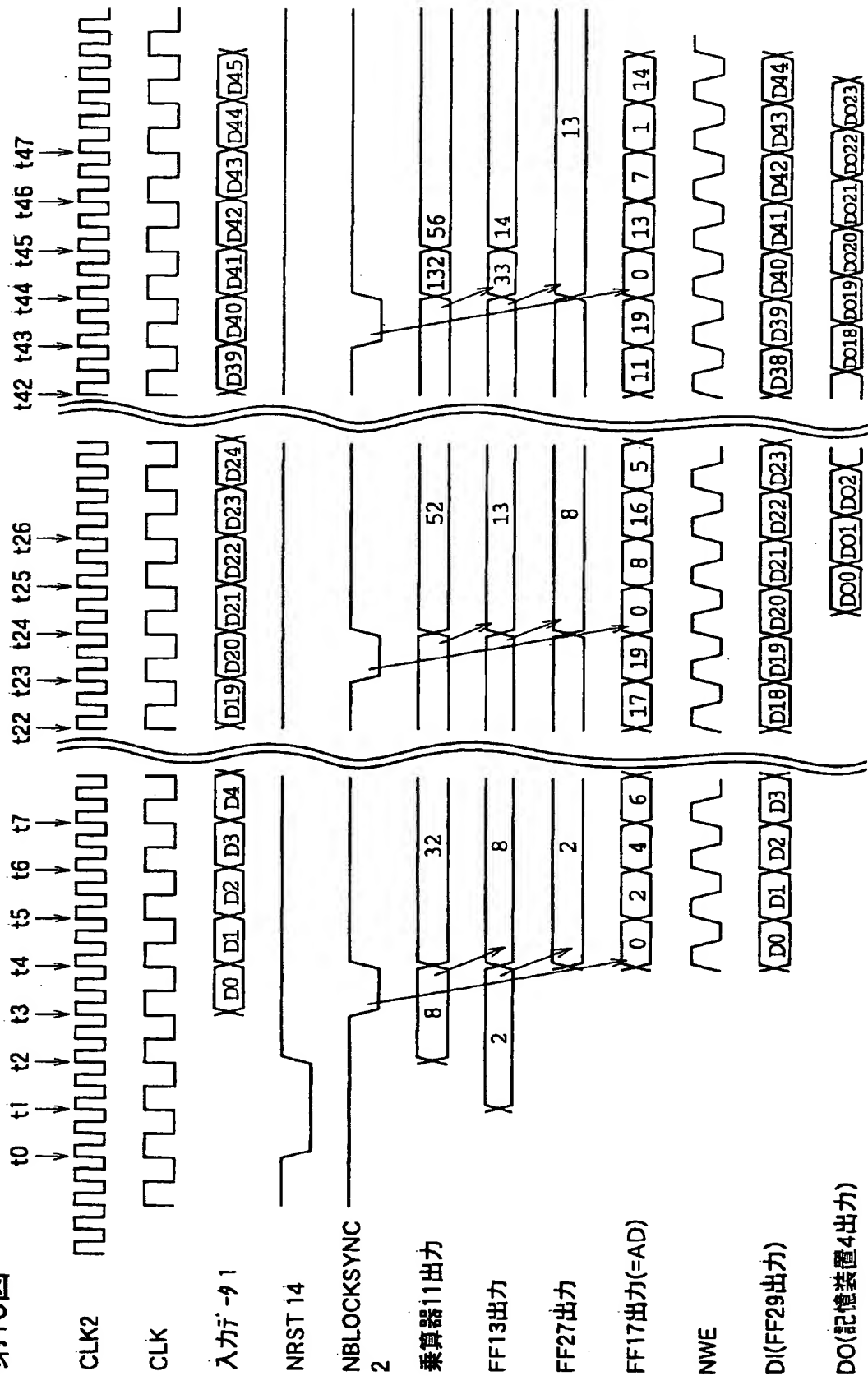
0	10	1	11	2
12	3	13	4	14
5	15	6	16	7
17	8	18	9	19

第9図

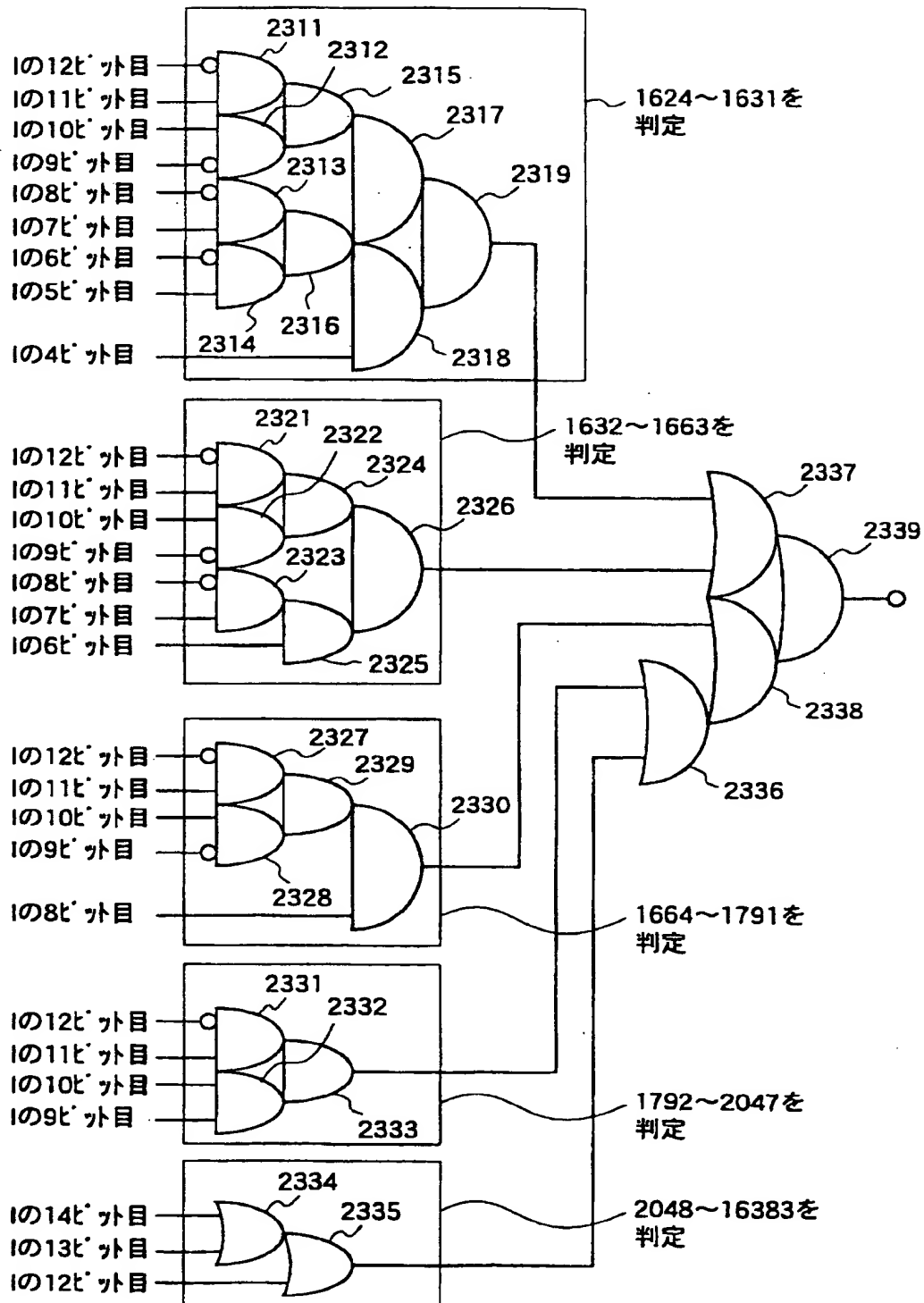




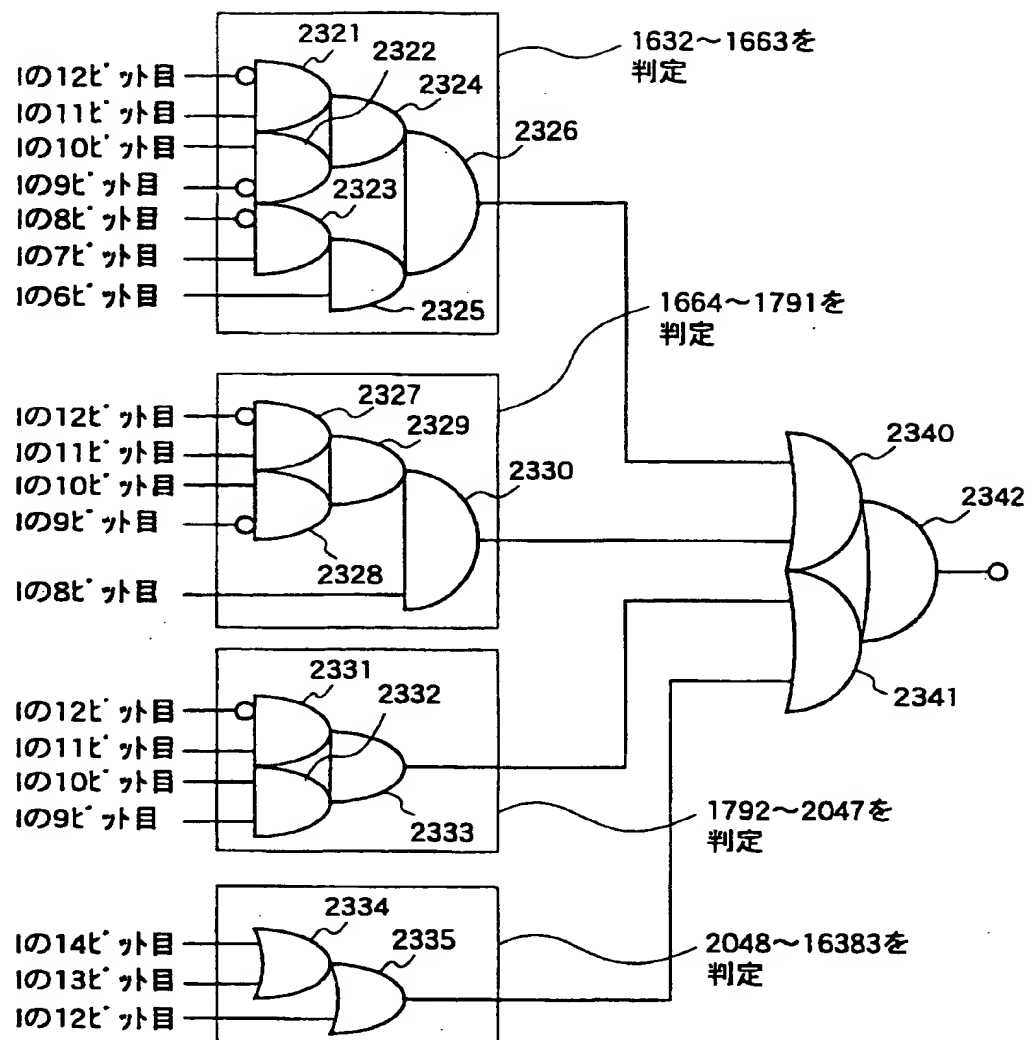
第10図



第11図



第12図



第13(a)図

1

0	1	2	3	4
5	6	7	8	9
10	11	12	13	14
15	16	17	18	19

第13(b)図

5

0	4	8	12	16
1	5	9	13	17
2	6	10	14	18
3	7	11	15	19

第13(c)図

25-19=6

0	16	13	10	7
4	1	17	14	11
8	5	2	18	15
12	9	6	3	19

第13(d)図

30-19=11

0	7	14	2	9
16	4	11	18	6
13	1	8	15	3
10	17	5	12	19

第13(e)図

55-(19×2)=17

0	9	18	8	17
7	16	6	15	5
14	4	13	3	12
2	11	1	10	19

第13(f)図

85-(19×4)=9

0	17	15	13	11
9	7	5	3	1
18	16	14	12	10
8	6	4	2	19

第13(g)図

45-(19×2)=7

0	11	3	14	6
17	9	1	12	4
15	7	18	10	2
13	5	16	8	19

第13(h)図

35-19=16

0	6	12	18	5
11	17	4	10	16
3	9	15	2	8
14	1	7	13	19

第13(i)図

80-(19×4)=4

0	5	10	15	1
6	11	16	2	7
12	17	3	8	13
18	4	9	14	19

第13(j)図

20-19=1

0	1	2	3	4
5	6	7	8	9
10	11	12	13	14
15	16	17	18	19

第13(k)図

1

0	1	2	3	4
5	6	7	8	9
10	11	12	13	14
15	16	17	18	19

第13(l)図

4

0	5	10	15	1
6	11	16	2	7
12	17	3	8	13
18	4	9	14	19

第13(m)図

16

0	6	12	18	5
11	17	4	10	16
3	9	15	2	8
14	1	7	13	19

第13(n)図

64-(19×3)=7

0	11	3	14	6
17	9	1	12	4
15	7	18	10	2
13	5	16	8	19

第13(o)図

28-19=9

0	17	15	13	11
9	7	5	3	1
18	16	14	12	10
8	6	4	2	19

第13(p)図

36-19=17

0	9	18	8	17
7	16	6	15	5
14	4	13	3	12
2	11	1	10	19

第13(q)図

68-(19×3)=11

0	7	14	2	9
16	4	11	18	6
13	1	8	15	3
10	17	5	12	19

第13(r)図

44-(19×2)=6

0	16	13	10	7
4	1	17	14	11
8	5	2	18	15
12	9	6	3	19

第13(s)図

24-19=5

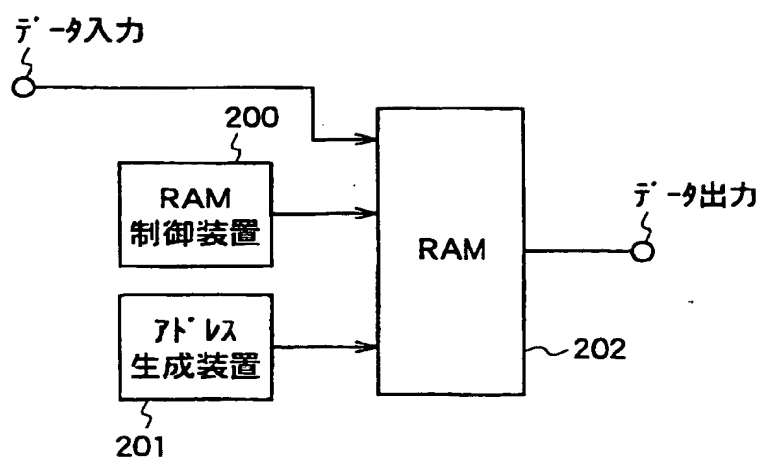
0	4	8	12	16
1	5	9	13	17
2	6	10	14	18
3	7	11	15	19

第13(t)図

20-19=1

0	1	2	3	4
5	6	7	8	9
10	11	12	13	14
15	16	17	18	19

第14図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01543

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl <sup>7</sup> H03M13/27		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>7</sup> H03M13/27		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho(Y1,Y2) 1926-2000 Toroku Jitsuyo Shinan Koho(U) 1994-2000 Kokai Jitsuyo Shinan Koho(U) 1971-2000 Jitsuyo Shinan Toroku Koho(Y2)1996-2000		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO, 95/16311, A (THOMSON CONSUMER ELECTRONICS), 15 June, 1995 (15.06.95), FIG5&JP, 08-511393, A	1-30
A	EP, 0715432, A (AT&T Corp.), 05 June, 1996 (05.06.96), FIG.2&JP, 08-242217	1-30
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 16 June, 2000 (16.06.00)		Date of mailing of the international search report 27 June, 2000 (27.06.00)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## 国際調査報告

国際出願番号 PCT/JPO0/01543

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03M13/27

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03M13/27

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1、Y2)	1926-2000
日本国公開実用新案公報 (U)	1971-2000
日本国登録実用新案公報 (U)	1994-2000
日本国実用新案登録公報 (Y2)	1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO, 95/16311, A (THOMSON CONSUMER ELECTRONICS), 15, 6月. 1995 (15. 06. 95), FIG 5 & JP, 0 8-511393, A	1~30
A	EP, 0715432, A (AT&T Corp.), 5. 6月. 1996 (05. 06. 96) FIG. 2 & JP, 08-2422 17	1~30

☐ C欄の続きにも文献が列举されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日  
16. 06. 00

国際調査報告の発送日

27.06.00

国際調査機関の名称及びあて先  
日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
石井 研一

5K 8124

電話番号 03-3581-1101 内線 3555

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/01543

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> H03M13/27

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H03M13/27

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho (Y1, Y2) 1926-2000 Toroku Jitsuyo Shinan Koho (U) 1994-2000  
Kokai Jitsuyo Shinan Koho (U) 1971-2000 Jitsuyo Shinan Toroku Koho (Y2) 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO, 95/16311, A (THOMSON CONSUMER ELECTRONICS), 15 June, 1995 (15.06.95), FIG5&JP, 08-511393, A	1-30
A	EP, 0715432, A (AT&T Corp.), 05 June, 1996 (05.06.96), FIG.2&JP, 08-242217	1-30

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:  
"A" document defining the general state of the art which is not considered to be of particular relevance  
"E" earlier document but published on or after the international filing date  
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
"O" document referring to an oral disclosure, use, exhibition or other means  
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
"&" document member of the same patent family

Date of the actual completion of the international search  
16 June, 2000 (16.06.00)Date of mailing of the international search report  
27 June, 2000 (27.06.00)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl.<sup>7</sup> H03M13/27

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl.<sup>7</sup> H03M13/27

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1、Y2)	1926-2000
日本国公開実用新案公報 (U)	1971-2000
日本国登録実用新案公報 (U)	1994-2000
日本国実用新案登録公報 (Y2)	1996-2000

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO, 95/16311, A (THOMSON CONSUMER ELECTRONICS), 15, 6月, 1995 (15.06.95), FIG5&JP, 0 8-511393, A	1~30
A	EP, 0715432, A (AT&T Corp.), 5. 6月, 1996 (05.06.96) FIG. 2&JP, 08-2422 17	1~30

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

16.06.00

国際調査報告の発送日

27.06.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 研一

5K

8124

電話番号 03-3581-1101 内線 3555

## PATENT COOPERATION TREATY

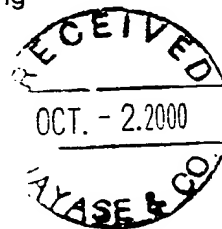
PCT

NOTICE INFORMING THE APPLICANT OF THE  
COMMUNICATION OF THE INTERNATIONAL  
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

HAYASE, Kenichi  
Hayase & Co. Patent Attorneys  
8F, Esaka ANA Building  
17-1, Enoki-cho  
Suita-shi  
Osaka 564-0053  
JAPON

Date of mailing (day/month/year)

21 September 2000 (21.09.00)

Applicant's or agent's file reference

P21794-PO

## IMPORTANT NOTICE

International application No.

PCT/JP00/01543

International filing date (day/month/year)

14 March 2000 (14.03.00)

Priority date (day/month/year)

15 March 1999 (15.03.99)

Applicant

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:
- KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:
- EP,JP

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 21 September 2000 (21.09.00) under No. WO 00/55975

## REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

## REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

J. Zahra

Telephone No. (41-22) 338.83.38

# PATENT COOPERATION TREATY

PCT

## NOTIFICATION OF RECEIPT OF RECORD COPY

(PCT Rule 24.2(a))

From the INTERNATIONAL BUREAU

To:

HAYASE, Kenichi  
Hayase & Co. Patent Attorneys  
8F, Esaka ANA Building  
17-1, Enoki-cho  
Suita-shi  
Osaka 564-0053  
JAPON



Date of mailing (day/month/year) 28 March 2000 (28.03.00)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference P21794-PO	International application No. PCT/JP00/01543

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. (for all designated States except US)  
FURUTANI, Senichi (for US)

International filing date : 14 March 2000 (14.03.00)  
Priority date(s) claimed : 15 March 1999 (15.03.99)  
Date of receipt of the record copy  
by the International Bureau : 24 March 2000 (24.03.00)  
List of designated Offices :

EP : AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE  
National : JP,KR,US

### ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
- ☒ confirmation of precautionary designations
- ☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer:  Shinji IGARASHI
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38

From the INTERNATIONAL BUREAU

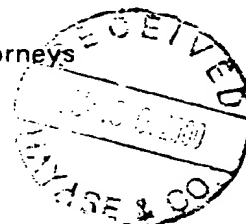
**PCT**

## NOTIFICATION CONCERNING SUBMISSION OR TRANSMITTAL OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

To:

HAYASE, Kenichi  
Hayase & Co. Patent Attorneys  
8F, Esaka ANA Building  
17-1, Enoki-cho  
Suita-shi  
Osaka 564-0053  
JAPON



Date of mailing (day/month/year) 08 June 2000 (08.06.00)	
Applicant's or agent's file reference P21794-PO	<b>IMPORTANT NOTIFICATION</b>
International application No. PCT/JP00/01543	International filing date (day/month/year) 14 March 2000 (14.03.00)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 15 March 1999 (15.03.99)
Applicant  MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

1. The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
2. This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
3. An **asterisk(\*)** appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
4. The **letters "NR"** appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
15 Marc 1999 (15.03.99)	11/68407	JP	26 May 2000 (26.05.00)

<p style="text-align: center;">The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland</p> <p>Facsimile No. (41-22) 740.14.35</p>	<p>Authorized officer</p> <p style="text-align: right;">Taïeb Akremi </p> <p>Telephone No. (41-22) 338.83.38</p>
---	--

## PATENT COOPERATION TREATY

PCT

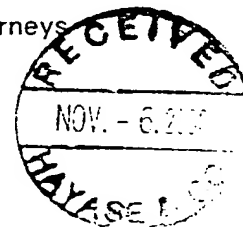
INFORMATION CONCERNING ELECTED  
OFFICES NOTIFIED OF THEIR ELECTION

(PCT Rule 61.3)

From the INTERNATIONAL BUREAU

To:

HAYASE, Kenichi  
Hayase & Co. Patent Attorneys  
8F, Esaka ANA Building  
17-1, Enoki-cho  
Suita-shi  
Osaka 564-0053  
JAPON



Date of mailing (day/month/year) 30 October 2000 (30.10.00)		
Applicant's or agent's file reference P21794-PO		IMPORTANT INFORMATION
International application No. PCT/JP00/01543	International filing date (day/month/year) 14 March 2000 (14.03.00)	
		Priority date (day/month/year) 15 March 1999 (15.03.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. The applicant is hereby informed that the International Bureau has, according to Article 31(7), notified each of the following Offices of its election:

EP : AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE  
National : JP, KR, US

2. The following Offices have waived the requirement for the notification of their election; the notification will be sent to them by the International Bureau only upon their request:

None

3. The applicant is reminded that he must enter the "national phase" **before the expiration of 30 months from the priority date** before each of the Offices listed above. This must be done by paying the national fee(s) and furnishing, if prescribed, a translation of the international application (Article 39(1)(a)), as well as, where applicable, by furnishing a translation of any annexes of the international preliminary examination report (Article 36(3)(b) and Rule 74.1).

Some offices have fixed time limits expiring later than the above-mentioned time limit. For detailed information about the applicable time limits and the acts to be performed upon entry into the national phase before a particular Office, see Volume II of the PCT Applicant's Guide.

The entry into the European regional phase is postponed **until 31 months from the priority date** for all States designated for the purposes of obtaining a European patent.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer: R. Forax Telephone No. (41-22) 338.83.38
--	--

## P C T

## 国際予備審査報告

(法第12条、法施行規則第56条)  
(PCT36条及びPCT規則70)

出願人又は代理人 の書類記号 P 2 1 7 9 4 - P O	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ I P E A / 4 1 6)を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 1 5 4 3	国際出願日 (日.月.年) 1 4 . 0 3 . 0 0	優先日 (日.月.年) 1 5 . 0 3 . 9 9
国際特許分類 (IPC) I n t . C l <sup>7</sup> H 0 3 M 1 3 / 2 7		
出願人 (氏名又は名称) 松下電器産業株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条)の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で ページである。

3. この国際予備審査報告は、次の内容を含む。
- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 2 9 . 0 8 . 0 0	国際予備審査報告を作成した日 2 2 . 1 2 . 0 0	
名称及びあて先 日本国特許庁 (I P E A / J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 石井 研一 印	5 K 8 1 2 4
電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 5		

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
 PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- ☐ 明細書 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 請求の範囲 第 \_\_\_\_\_ 項、 出願時に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 PCT19条の規定に基づき補正されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 国際予備審査の請求書と共に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 図面 第 \_\_\_\_\_ ページ/図、 出願時に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 国際予備審査の請求書と共に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 \_\_\_\_\_ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)

請求の範囲 1~30

有

請求の範囲

無

進歩性(I S)

請求の範囲 1~30

有

請求の範囲

無

産業上の利用可能性(I A)

請求の範囲 1~30

有

請求の範囲

無

## 2. 文献及び説明(PCT規則70.7)

## 文献1

WO, 95/16311, A (THOMSON CONSUMER ELECTRONICS), 15, 6月. 1995 (15. 06. 95), FIG 5 & JP, 08-511393, A

## 文献2

EP, 0715432, A (AT&T Corp.), 5. 6月. 1996 (05. 06. 96) FIG. 2 & JP, 08-242217

第1および第2のオーバーフロー処理手段を有するブロックインタリーブ装置およびブロックデインタリーブ装置並びに方法については、上記1、2の文献のいずれにも記載はなく、またその記載事項から容易に想到し得たものとも認められない。



特許協力条約に基づく国際出願

第 II 章

国際予備審査請求書

出願人は、次の国際出願が特許協力条約に従って国際予備審査の対象とされることを請求し、  
選定資格のある全ての国を選択する。ただし、特段の表示がある場合を除く。

国際予備審査機関の施設		請求書の受理の日	
第 I 欄 国際出願の表示		出願人は代理人の書類記号 P 2 1 7 9 4 - P 0	
国際出願番号 PCT/J P 0 0 / 0 1 5 4 3	国際出願日 (日. 月. 年) 1 4 . 0 3 . 0 0	優先日 (最先のもの) (日. 月. 年) 1 5 . 0 3 . 9 9	
発明の名称 ブロックインタリーブ装置, ブロックデインタリーブ装置, ブロックインタ リーブ方法, およびブロックデインタリーブ方法			
第 II 欄 出願人			
氏名 (名称) 及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)		電話番号: 06-6908-2974	
松下電器産業株式会社 Matsushita Electric Industrial Co., Ltd. 〒571-8501 日本国大阪府門真市大字門真 1 0 0 6 番地 1006, Oaza Kadoma, Kadoma-shi, OSAKA 571-8501 JAPAN		ファクシミリ番号: 06-6909-0053	
		加入電話番号:	
国籍 (国名): 日本国 JAPAN		住所 (国名): 日本国 JAPAN	
氏名 (名称) 及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)			
古 谷 専 一 FURUTANI Senichi 〒574-0015 日本国大阪府大東市野崎 2 - 9 - 2 7 2-9-27, Nozaki, Daito-shi, OSAKA 574-0015 JAPAN			
国籍 (国名): 日本国 JAPAN		住所 (国名): 日本国 JAPAN	
氏名 (名称) 及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載)			
国籍 (国名):		住所 (国名):	
<input type="checkbox"/> その他の出願人が続葉に記載されている。			

## 第III欄 代理人又は共通の代表者、通知のあて名

下記に記載された者は、☒ 代理人 又は ☐ 共通の代表者 として☒ 既に選任された者であって、国際予備審査についても出願人を代理する者である。☐ 今回新たに選任された者である。 先に選任されていた代理人又は共通の代表者に解任された。☐ 既に選任された代理人又は共通の代表者に加えて、特に国際予備審査機関に対する手続きのために、今回新たに選任された者である。

氏名（名称）及びあて名：（姓・名の順に記載；法人は正式の完全な名称を記載；あて名は郵便番号及び国名も記載）

8181 弁理士 早 瀬 憲 一 HAYASE Kenichi

〒564-0053 日本国大阪府吹田市江の木町17番1号

江坂全日空ビル8階 早瀬特許事務所  
HAYASE&CO. Patent Attorneys,

8F, Esaka ANA Bldg., 17-1, Enoki-cho, Suita-shi,

OSAKA 564-0053 JAPAN

電話番号：

06-6380-5822

ファクシミリ番号：

06-6380-2377

加入電話番号：

☐ 通知のためのあて名： 代理人又は共通の代表者が選任されておらず、上記枠内に特に通知が送付されるあて名を記載している場合は、レ印を付す。

## 第IV欄 国際予備審査に対する基本事項

補正に関する記述：\*

1. 出願人は、次のものを基礎として国際予備審査を開始することを希望する。

☒ 出願時の国際出願を基礎とすること。☐ 明細書に関して☐ 出願時のものを基礎とすること。☐ 特許協力条約第34条の規定に基づいてなされた補正を基礎とすること。☐ 請求の範囲に関して☐ 出願時のものを基礎とすること。☐ 特許協力条約第19条の規定に基づいてなされた補正（添付した説明書も含む）を基礎とすること。☐ 特許協力条約第34条の規定に基づいてなされた補正を基礎とすること。☐ 図面に関して☐ 出願時のものを基礎とすること。☐ 特許協力条約第34条の規定に基づいてなされた補正を基礎とすること。2. ☐ 出願人は、特許協力条約第19条の規定に基づく請求の範囲について行った補正を無視し、かつ、取り消されたものとみなして開始することを希望する。3. ☐ 出願人は、国際予備審査の開始が優先日から30月経過後まで延期されることを希望する（ただし、国際予備審査機関が、特許協力条約第19条の規定に基づき行われた補正を享受し、又は当該補正を希望しない旨の出願人からの通知を受領した翌日から起算して9ヶ月（第9.1(d)））。  
（この口は、特許協力条約第19条の規定に基づく期間が満了していない場合のみ、レ印を付すことができる。）

\* 記入がない場合は、1) 補正がないか又は国際予備審査機関が補正（原本又は写し）を受領していないときは、出願時の国際出願を基礎に予備審査が開始され、2) 国際予備審査機関が、見解書又は予備審査報告書の作成開始前に補正（原本又は写し）を受領したときは、これらの補正を考慮して予備審査が開始又は続行される。

国際予備審査を行うための言語は、日本語であり、☒ 国際出願の提出時の言語である。☐ 国際審査のために提出した翻訳文の言語である。☐ 国際出願の公開の言語である。☐ 国際予備審査の目的のために提出した翻訳文の言語である。

## 第V欄 国の選択

出願人は、選択資格のある全ての指定国（即ち、既に出願人によって指定されており、かつ特許協力条約第II章に拘束されている国）を選択する。

ただし、出願人は次の国の選択を希望しない。： .....

第Ⅴ欄 照合欄

この国際予備審査請求書には、国際予備審査のために、第Ⅳに記載する言語による書類が添付されている。

1. 国際出願の翻訳文・・・・・・・・・・・・・・・・・・・・・・
2. 特許協力条約第34条の規定に基づく補正書・・・・・・・・
3. 特許協力条約第19条の規定に基づく補正書  
(又は、要求された場合は翻訳文)の写し・・・・・・・・
4. 特許協力条約第19条の規定に基づく説明書  
(又は、要求された場合は翻訳文)の写し・・・・・・・・
5. 書簡・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
6. その他(書類名を具体的に記載する)：

枚  
枚  
枚  
枚  
枚  
枚

国際予備審査機関記入欄

受 領 未 受 領

<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	<input type="checkbox"/>
<input type="checkbox"/>	<input type="checkbox"/>

この国際予備審査請求書には、さらに下記の書類が添付されている。

1. ☒ 手数料計算用紙
2. ☐ 別個の記名押印された委任状
3. ☐ 包括委任状の写し
4. ☐ 記名押印(署名)に関する説明書
5. ☐ スクリーンコピー又はアミノ酸配列表  
(フレキシブルディスク)
6. ☐ その他(書類名を具体的に記載する)：

第Ⅶ欄 提出者の記名押印

本人の氏名(名称)を記載し、その次に押印する。

早 瀬 憲 一



国際予備審査機関記入欄

1. 国際予備審査請求書の実際の受理の日
2. 規則 80.1(b)の規定による国際予備審査請求書の受理の日の訂正後の日付
3. ☐ 優先日から19月を経過後の国際予備審査請求書の受理。ただし、以下の4、5の項目にはあてはまらない。 ☐ 出願人に通知した。
4. ☐ 規則 80.5により延長が認められている優先日から19月の期間内の国際予備審査請求書の受理
5. ☐ 優先日から19月を経過後の国際予備審査請求書の受理であるが規則 82により認められる。

国際事務局記入欄

国際予備審査請求書の国際予備審査機関からの受理の日：

## PATENT COOPERATION TREATY

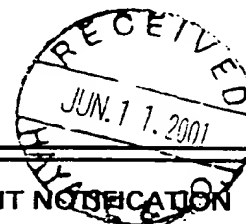
**PCT**  
**NOTIFICATION OF TRANSMITTAL**  
**OF COPIES OF TRANSLATION**  
**OF THE INTERNATIONAL PRELIMINARY**  
**EXAMINATION REPORT**

(PCT Rule 72.2)

From the INTERNATIONAL BUREAU

To:

HAYASE, Kenichi  
 Hayase & Co. Patent Attorneys  
 8F, Esaka ANA Building  
 17-1, Enoki-cho  
 Suita-shi  
 Osaka 564-0053  
 JAPON



<b>Date of mailing (day/month/year)</b> 29 May 2001 (29.05.01)	<b>IMPORTANT NOTIFICATION</b>
<b>Applicant's or agent's file reference</b> P21794-PO	
<b>International application No.</b> PCT/JP00/01543	<b>International filing date (day/month/year)</b> 14 March 2000 (14.03.00)
<b>Applicant</b> MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

**1. Transmittal of the translation to the applicant.**

The International Bureau transmits herewith a copy of the English translation made by the International Bureau of the international preliminary examination report established by the International Preliminary Examining Authority.

**2. Transmittal of the copy of the translation to the elected Offices.**

The International Bureau notifies the applicant that copies of that translation have been transmitted to the following elected Offices requiring such translation:

EP,US

The following elected Offices, having waived the requirement for such a transmittal at this time, will receive copies of that translation from the International Bureau only upon their request:

JP,KR

**3. Reminder regarding translation into (one of) the official language(s) of the elected Office(s).**

The applicant is reminded that, where a translation of the international application must be furnished to an elected Office, that translation must contain a translation of any annexes to the international preliminary examination report.

It is the applicant's responsibility to prepare and furnish such translation directly to each elected Office concerned (Rule 74.1). See Volume II of the PCT Applicant's Guide for further details.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland  Facsimile No. (41-22) 740.14.35	Authorized officer  Eliott Peretti  Telephone No. (41-22) 338.83.38
--	---

37  
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference P21794-PO	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP00/01543	International filing date (day/month/year) 14 March 2000 (14.03.00)	Priority date (day/month/year) 15 March 1999 (15.03.99)
International Patent Classification (IPC) or national classification and IPC H03M 13/27		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>3</u> sheets, including this cover sheet.</p> <p><input type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of _____ sheets.</p>
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>

Date of submission of the demand 29 August 2000 (29.08.00)	Date of completion of this report 22 December 2000 (22.12.2000)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/01543

## I. Basis of the report

### 1. With regard to the **elements** of the international application:\*

- ☒ the international application as originally filed
- ☐ the description: \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the claims: \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, as amended (together with any statement under Article 19  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the drawings: \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description: \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

### 2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

### 3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

### 4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

### 5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/01543

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-30	YES
	Claims		NO
Inventive step (IS)	Claims	1-30	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-30	YES
	Claims		NO

### 2. Citations and explanations

Document 1: WO, 95/16311, A (THOMSON CONSUMER ELECTRONICS), 15 June 1995 (15.06.95), Fig. 5 & JP, 08-511393, A

Document 2: EP, 0715432, A (AT&T CORP.), 5 June 1996 (05.06.96), Fig. 2 & JP, 08-242217

A block interleave device and block deinterleave device having a first and second overflow processing means and a method therefor are not described in the aforesaid document 1 or 2, and do not appear to be easy to conceive based on the matters described therein.

P C T

REC'D 19 JAN 2001

WIPO

PCT

## 国際予備審査報告

(法第12条、法施行規則第56条)

[PCT36条及びPCT規則70]

出願人又は代理人 の書類記号 P 2 1 7 9 4 - P O	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ I P E A / 4 1 6）を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 1 5 4 3	国際出願日 (日.月.年) 1 4 . 0 3 . 0 0	優先日 (日.月.年) 1 5 . 0 3 . 9 9
国際特許分類 (IPC) I n t . C l ' H 0 3 M 1 3 / 2 7		
出願人 (氏名又は名称) 松下電器産業株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。

☐ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。  
(PCT規則70.16及びPCT実施細則第607号参照)  
この附属書類は、全部で \_\_\_\_\_ ページである。

3. この国際予備審査報告は、次の内容を含む。

I ☒ 国際予備審査報告の基礎II ☐ 優先権III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成IV ☐ 発明の単一性の欠如V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明VI ☐ ある種の引用文献VII ☐ 国際出願の不備VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 2 9 . 0 8 . 0 0	国際予備審査報告を作成した日 2 2 . 1 2 . 0 0		
名称及びあて先 日本国特許庁 (I P E A / J P) 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号	特許庁審査官 (権限のある職員) 石井 研一	5 K	8 1 2 4
電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 5			

様式PCT/IPEA/409 (表紙) (1998年7月)



## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
PCT規則70.16, 70.17)

☒ 出願時の国際出願書類

- |                                     |                |                      |
|-------------------------------------|----------------|----------------------|
| <input type="checkbox"/> 明細書        | 第 _____ ページ、   | 出願時に提出されたもの          |
| <input type="checkbox"/> 明細書        | 第 _____ ページ、   | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 明細書        | 第 _____ ページ、   | _____ 付の書簡と共に提出されたもの |
| <input type="checkbox"/> 請求の範囲      | 第 _____ 項、     | 出願時に提出されたもの          |
| <input type="checkbox"/> 請求の範囲      | 第 _____ 項、     | PCT19条の規定に基づき補正されたもの |
| <input type="checkbox"/> 請求の範囲      | 第 _____ 項、     | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 請求の範囲      | 第 _____ 項、     | _____ 付の書簡と共に提出されたもの |
| <input type="checkbox"/> 図面         | 第 _____ ページ/図、 | 出願時に提出されたもの          |
| <input type="checkbox"/> 図面         | 第 _____ ページ/図、 | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 図面         | 第 _____ ページ/図、 | _____ 付の書簡と共に提出されたもの |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ ページ、   | 出願時に提出されたもの          |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ ページ、   | 国際予備審査の請求書と共に提出されたもの |
| <input type="checkbox"/> 明細書の配列表の部分 | 第 _____ ページ、   | _____ 付の書簡と共に提出されたもの |

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)

請求の範囲

1~30

有

請求の範囲

無

進歩性(IS)

請求の範囲

1~30

有

請求の範囲

無

産業上の利用可能性(IA)

請求の範囲

1~30

有

請求の範囲

無

## 2. 文献及び説明(PCT規則70.7)

## 文献1

WO, 95/16311, A (THOMSON CONSUMER ELECTRONICS), 15, 6月. 1995 (15. 06. 95), FIG 5 & JP, 08-511393, A

## 文献2

EP, 0715432, A (AT&T Corp.), 5. 6月. 1996 (05. 06. 96) FIG. 2 & JP, 08-242217

第1および第2のオーバーフロー処理手段を有するブロックインタリーブ装置およびブロックデインタリーブ装置並びに方法については、上記1、2の文献のいずれにも記載はなく、またその記載事項から容易に想到し得たものとも認められない。

3T  
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference P21794-PO	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP00/01543	International filing date ( <i>day/month/year</i> ) 14 March 2000 (14.03.00)	Priority date ( <i>day/month/year</i> ) 15 March 1999 (15.03.99)
International Patent Classification (IPC) or national classification and IPC H03M 13/27		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 3 sheets, including this cover sheet.

☐ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of                      sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 29 August 2000 (29.08.00)	Date of completion of this report 22 December 2000 (22.12.2000)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/01543

## I. Basis of the report

1. With regard to the **elements** of the international application:\*

- ☒ the international application as originally filed
- ☐ the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the claims:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, as amended (together with any statement under Article 19  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the drawings:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.  
These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:
- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/01543

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-30	YES
	Claims		NO
Inventive step (IS)	Claims	1-30	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-30	YES
	Claims		NO

### 2. Citations and explanations

Document 1: WO, 95/16311, A (THOMSON CONSUMER ELECTRONICS), 15 June 1995 (15.06.95), Fig. 5 &JP, 08-511393, A

Document 2: EP, 0715432, A (AT&T CORP.), 5 June 1996 (05.06.96), Fig. 2 &JP, 08-242217

A block interleave device and block deinterleave device having a first and second overflow processing means and a method therefor are not described in the aforesaid document 1 or 2, and do not appear to be easy to conceive based on the matters described therein.

## 国際調査報告

(法8条、法施行規則第40、41条)  
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 P 2 1 7 9 4 - P O	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP00/01543	国際出願日 (日.月.年) 14.03.00	優先日 (日.月.年) 15.03.99
出願人(氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03M13/27

B. 調査を行った分野  
調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H03M13/27

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 (Y1、Y2) 1926-2000  
 日本国公開実用新案公報 (U) 1971-2000  
 日本国登録実用新案公報 (U) 1994-2000  
 日本国実用新案登録公報 (Y2) 1996-2000

国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO, 95/16311, A (THOMSON CONSUMER ELECTRONICS), 15, 6月. 1995 (15. 06. 95), FIG5&JP, 08-511393, A	1~30
A	EP, 0715432, A (AT&T Corp.), 5. 6月. 1996 (05. 06. 96) FIG. 2&JP, 08-242217	1~30

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

- の日の後に公表された文献  
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日  
16. 06. 00

国際調査報告の発送日  
27.06.00

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 石井 研一

5 K 8124

電話番号 03-3581-1101 内線 3555